

Ćwiczenie 27c

Techniki mikroprocesorowe
Badania laboratoryjne
wybranych układów synchronicznych

Cel ćwiczenia

Poznanie budowy i zasad działania oraz właściwości układów synchronicznych, aby zapewnić podstawy do ich zastosowania w praktyce inżynierskiej.

Spis treści**I. Podstawy teoretyczne**

1. Przerzutniki
 - 1.1. JK
 - 1.2. T
 - 1.3. D
2. Omówienie układów zastosowanych w ćwiczeniu
 - 2.1. Liczniki NKB i BCD
 - 2.2. Rejestr przesuwny
 - 2.3. Dekoder 4 z 16
 - 2.4. Wyświetlacz 7-segmentowy wraz z układem sterującym

II. Wykonanie ćwiczenia

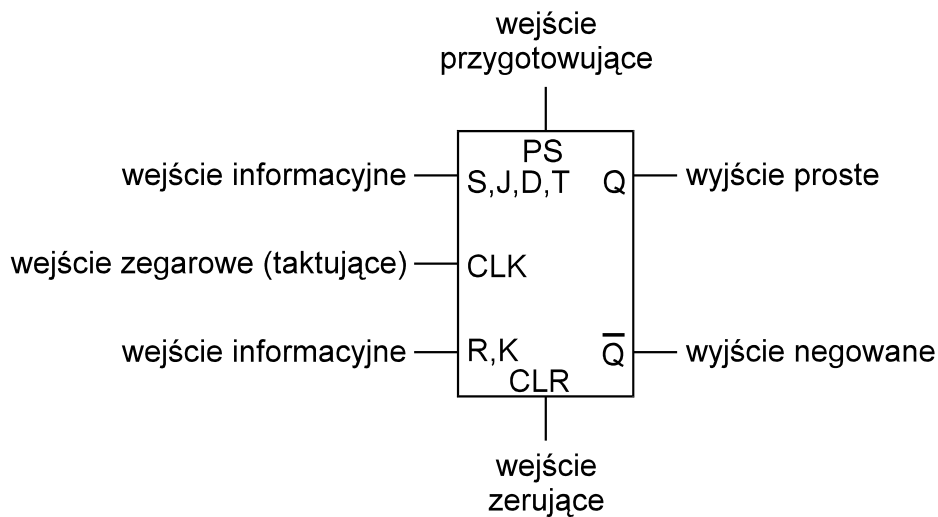
1. Określenie tablic prawdy przerzutników synchronicznych JK, D i T
2. Badanie 3-bitowego licznika wykonanego z przerzutników JK
3. Badanie scalonego licznika 4-bitowego BCD
4. Badanie scalonego licznika 4-bitowego NKB i dekodera 4 z 16
5. Badanie scalonego rejestru przesuwanego

I. Podstawy teoretyczne

Omówienie podstawowych zagadnień z teorii układów cyfrowych przedstawiono w instrukcji do ćwiczenia 27(A, B): UKŁADY CYFROWE.

1. Przerzutniki

Przerzutnik (ang. *Flip-Flop*) - układ, charakteryzujący się istnieniem dwóch stanów równowagi trwałej (**1** albo **0**), przy czym dla przejścia z jednego stanu do drugiego jest konieczne doprowadzenie sygnału zewnętrznego (informacji). Ponieważ przerzutnik pamięta jeden bit informacji może być traktowany jako jednobitowa komórka pamięci. Ogólny symbol graficzny przerzutnika przedstawiono na rys. 1.1.



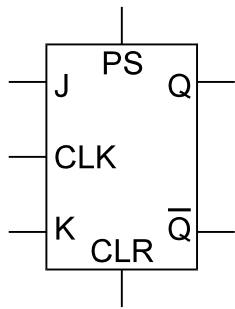
Rys. 1.1 Ogólny symbol graficzny przerzutnika

Przerzutnik ma pewną liczbę wejść i z reguły dwa wyjścia. Stan logiczny wyjścia Q uważa się za stan przerzutnika. Nazwy literowe wejść informacyjnych (SR, JK, D, T) określają jednocześnie nazwy rodzajów przerzutników (*przerzutnik SR*, *przerzutnik JK*, *przerzutnik D*, *przerzutnik T*). Wejście zegarowe CLK (ang. *Clock*) służy do podawania sygnałów taktujących, które narzucają synchroniczny tryb pracy układu. Wejście przygotowujące PS (ang. *Preset*) oraz wejście zerujące CLR (ang. *Clear*) służą do ustalenia stanu przerzutnika niezależnie od stanu wejść informacyjnych oraz stanu wejścia zegarowego.

W przerzutnikach asynchronicznych stan wyjścia ustala się bezpośrednio w wyniku zmiany stanu wejść. W przerzutnikach synchronicznych stan wejść informacyjnych jest przekazywany na wyjście w chwilach występowania wysokiego/niskiego stanu lub narastającego/opadającego zbocza sygnału zegarowego.

1.1. Przerzutnik JK

Przerzutnik JK jest najbardziej rozpowszechnionym układem przerzutnikowym techniki cyfrowej. Jest on traktowany jako układ uniwersalny. Przez zastosowanie odpowiednich połączeń zewnętrznych można z niego utworzyć inny rodzaj przerzutnika, np. SR(syn.), D, T. Symbol graficzny przerzutnika JK przedstawiono na rys.1.2.



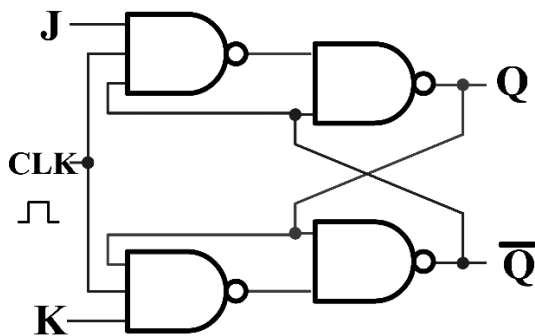
J i K – wejścia danych,
 CLK – wejście sygnału zegarowego,
 Q – wyjście proste,
 \overline{Q}_n – wyjście zanegowane,
 PS i CLR - asynchroniczne wejścia kasujące i ustawiające.

Rys. 1.2. Symbol graficzny przerzutnika JK

Przerzutnik JK jest rozbudowanym przerzutnikiem S-R (przerzutnik omówiony w części A niniejszej instrukcji), do którego dodano dodatkowy człon złożony z dwóch bramek sterujących wejściami S i R. Zadaniem tego członu jest uniemożliwienie wysterowania końcowego przerzutnika S-R sygnałami zabronionymi. Uzyskano to sprzęgając wejście S z wyjściem \overline{Q}_n

oraz wejście R z wyjściem Q. **Przerzutnik JK nie ma stanów niedozwolonych.**

Schemat i tablica prawdy przerzutnika JK wyzwalanego poziomem wysokim sygnału zegarowego zostały przedstawione na rys.1.3.

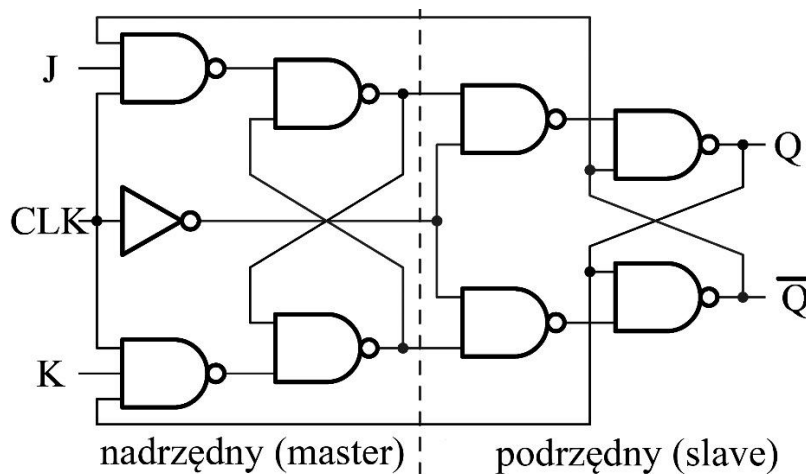


J	K	CLK	Q
X	X	0	Q_{n-1}
0	0	X	Q_{n-1}
1	0	1	1
0	1	1	0
1	1	1	\overline{Q}_n

X - stan dowolny (0 lub 1)

Rys. 1.3. Schemat i tablica prawdy przerzutnika JK wyzwalanego poziomem wysokim sygnału zegarowego

Schemat i tablica prawdy przerzutnika JK wyzwalanego zboczem opadającym sygnału zegarowego zostały przedstawione na rys.1.4.



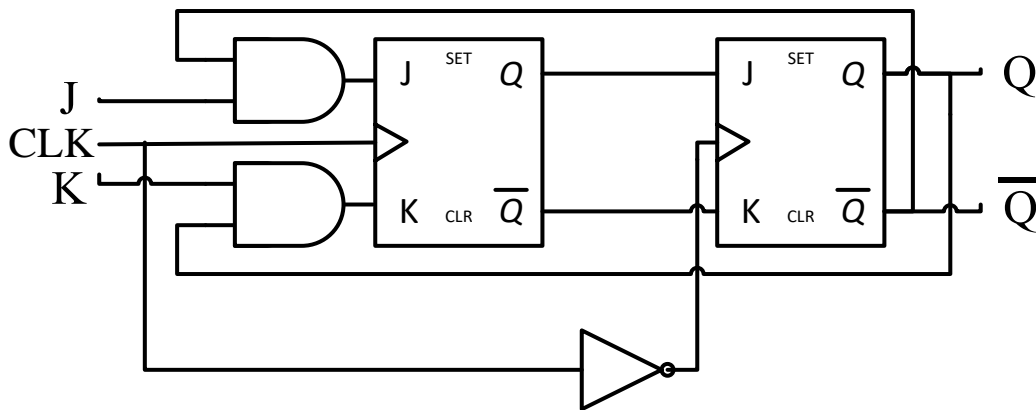
J	K	CLK	Q
X	X	0	Q_{n-1}
X	X	1	Q_{n-1}
0	0	X	Q_{n-1}
1	0	1→0	1
0	1	1→0	0
1	1	1→0	\overline{Q}_n

1→0 - przejście od poziomem wysokiego do niskiego

Rys. 1.4. Schemat i tablica prawdy przerzutnika JK wyzwalanego

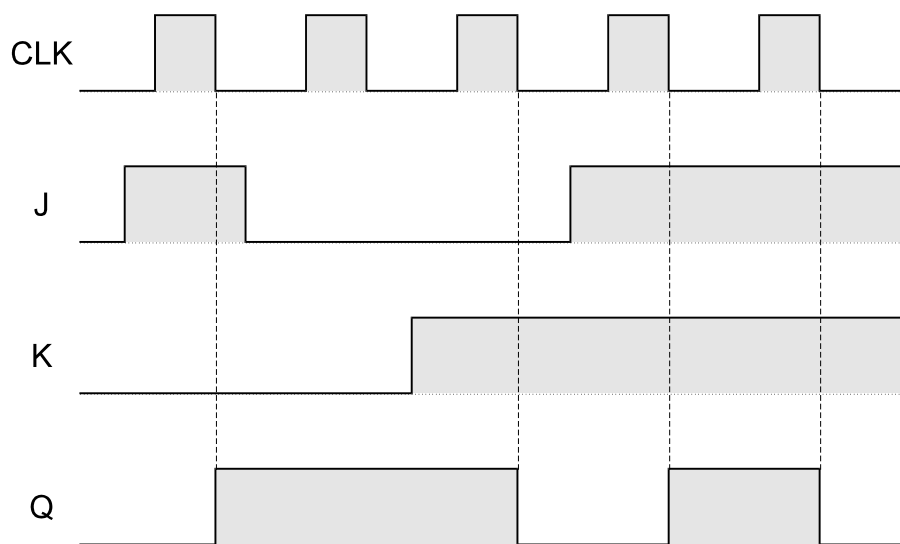
zbochem opadającym sygnału zegarowego (układ Master/Slave)

Przerzutniki J-K Master/Slave są wyzwalane zboczem sygnału zegarowego, zatem nie wystąpią w nich problemy ze wzbudzeniem się układu w wyniku pojawienia się zakłóceń na wejściach danych. Strukturę z rys.1.4 można przedstawić za pomocą schematu rys.1.5.



Rys. 1.5. Schemat przerzutnika JK Master/Slave wyzwalanego zboczem opadającym sygnału zegarowego

Stan logiczny wyjścia Q w umownym czasie t_{n+1} (tj. w chwili przejścia impulsu zegarowego) zależy od stanów J, K, Q w czasie t_n (tj. przed przyjściem impulsu zegarowego). W przedziale czasu między impulsami zegarowymi przerzutnik nie zmienia stanu nawet, gdy zmieniają się stany wejść J, K. Wykres czasowy pracy przerzutnika JK przedstawia rys.1.6.



Rys. 1.6. Wykres czasowy przerzutnika JK wyzwalanego zboczem opadającym sygnału zegarowego

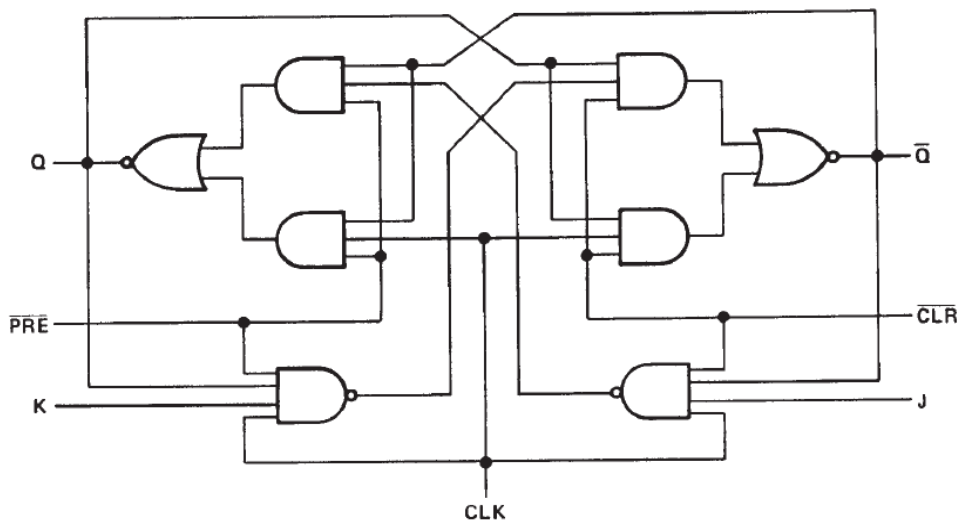
Wykorzystywany w ćwiczeniu układ scalony o oznaczeniu **SN74LS76A to podwójny przerzutnik J-K Master/Slave** wykonany w technologii TTL (oznaczenie LS - Low power Schottky TTL) z wejściami do ustawiania i zerowania. Dopuszczalne napięcie zasilania od +4,75 do +5,25V. Poziomy napięć wejściowych (uwzględniając margines zakłóceń): stan niski do 0,8, stan wysoki od 2V. Opóźnienie bramki 20 ns. Pobór mocy na bramkę zarówno statyczny, jak i dynamiczny (przy częstotliwości przełączania 10 kHz) wynosi 2 mW.

Maksymalna częstotliwość pracy układu 33 MHz. W tabeli z dokumentacji technicznej układ scalonego SN74LS76A przedstawiono wybrane parametry układu.

		SN54LS76A			SN74LS76A			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.75	V
V _{IH}	High-level input voltage	2			2			V
V _{IL}	Low-level input voltage	0.7			0.8			V
I _{OH}	High-level output current	-0.4			-0.4			mA
I _{OL}	Low-level output current	4			8			mA
f _{clock}	Clock frequency	0	30		0	30		MHz
t _w	Pulse duration	CLK high		20	20		ns	
		PRE or CLR low		25	25			
t _{su}	Setup time before CLK↓	data high or low		20	20		ns	
		CLR inactive		20	20			
		PRE inactive		25	25			
t _h	Hold time-data after CLK↓	0			0			ns
T _A	Operating free-air temperature	-55		125	0		70	°C

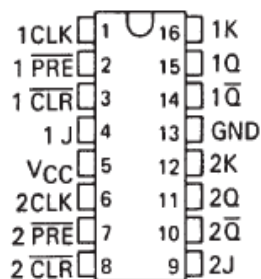
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT	
f _{max}			R _L = 2 kΩ, C _L = 15 pF	30	45		MHz	
t _{PLH}	PRE, CLR or CLK	Q or Q̄			15	20		ns
t _{PHL}					15	20		ns

Schemat struktury wewnętrznej przerzutnika JK typu SN74LS76A przedstawia rys.1.7.



Rys. 1.7. Schemat struktury wewnętrznej przerzutnika JK typu SN74LS76A

Opis wyprowadzeń układu scalonego SN74LS76A przedstawia rys.1.8.

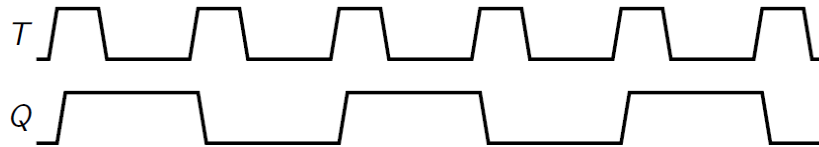


- 1/2 CLK – wejścia sygnału zegarowego przerzutników 1/2,
- 1/2 J i 1/2 K – wejścia danych przerzutników 1/2,
- 1/2 PRE - asynchroniczne wejścia ustawiające przerzutników 1/2,
- 1/2 CLR - asynchroniczne wejścia kasujące przerzutników 1/2,
- 1/2 Q – wyjścia proste przerzutników 1/2,
- 1/2 Q_n – wyjścia negowane przerzutników 1/2,
- VCC - wejście zasilania układu scalonego,
- GND - masa układu scalonego.

Rys. 1.8. Opis wyprowadzeń układu scalonego SN74LS76A - podwójny przerzutnik JK Master/Slave

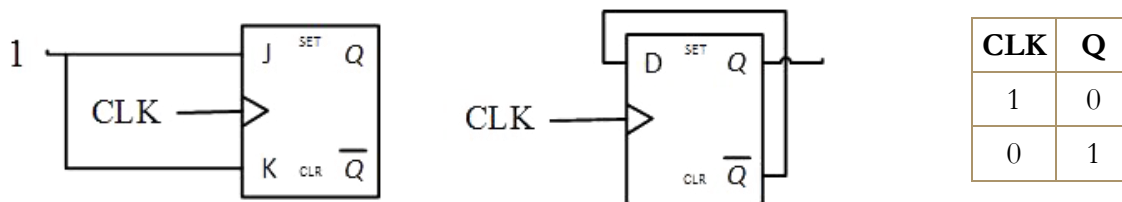
1.2. Przerzutnik T (Toggle)

Jeżeli oba wejścia J, K mają stan 1, to przerzutnik JK zmienia swój stan na przeciwny za każdym razem, gdy tylko pojawi się impuls zegarowy. Właściwość tę wykorzystuje się do budowy liczników i dzielników częstotliwości. Przerzutniki JK pracujące z jednym sygnałem informacyjnym doprowadzonym do połączonych ze sobą wejść J, K nazywają się **przerzutnikami T**. Układy te stosuje się do konstrukcji liczników oraz dzielników częstotliwości oraz do poprawy kształtu sygnału zegarowego. Wykres czasowy pracy przerzutnika T przedstawia rys.1.9.



Rys. 1.9. Wykres czasowy pracy przerzutnika T

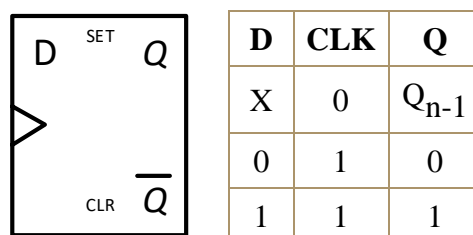
Przerzutników scalonych typu T nie produkuje się. Można je także wykonać z przerzutników typu D. Schemat połączeń do wykonania przerzutnika T z przerzutników JK i D oraz tablicę prawdy przedstawiono na rys.1.10.



Rys. 1.10. Schemat połączeń do wykonania przerzutnika T z przerzutników JK i D oraz tablica prawdy

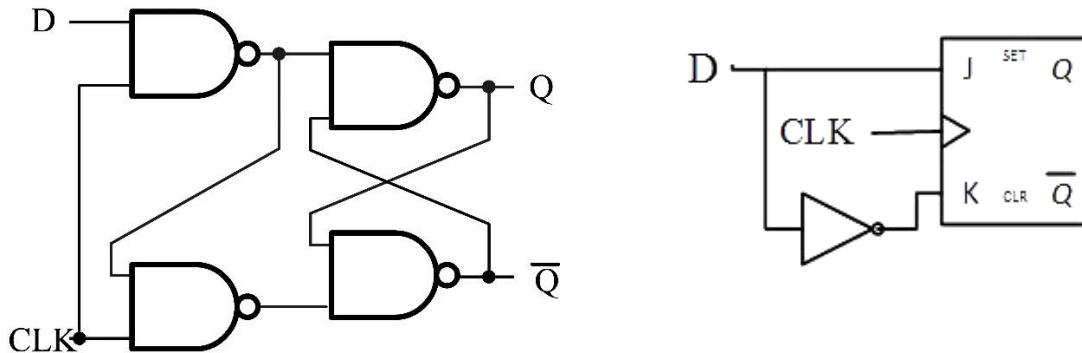
1.3. Przerzutnik D (Delay)

Przerzutnik typu D jest układem opóźniającym, wykorzystywany jako 1-bitowy rejestr. Przerzutnik ten przepisuje stan wejścia informacyjnego D na wyjście Q. Przepisanie informacji następuje tylko przy odpowiednim stanie wejścia zegarowego. W przerzutniku D typu "zatrzask" (Latch) stan wejścia D jest kopiowany na wyjście Q przy wysokim (opcjonalnie niskim) poziomie logicznym na wejściu zegarowym. Poza tym stanem zmiany na wejściu informacyjnym D nie wpływają na wyjście Q, które zostało "zatrzaśnięte". Drugi typ przerzutnika D jest wyzwalany zboczem (dodatnim lub ujemnym) sygnału zegarowego. Taki sposób pracy przerzutnika uzyskuje się łącząc dwa przerzutniki D Latch wg schematu Master/Slave. Symbol graficzny przerzutnika JK i tablicę prawdy przedstawiono na rys.1.11.



Rys. 1.11. Symbol graficzny i tablica prawdy przerzutnika D wyzwalanego poziomem wysokim sygnału zegarowego

Schemat połączeń do wykonania przerzutnika D wyzwalanego poziomem wysokim sygnału zegarowego zostały przedstawione na rys.1.12.



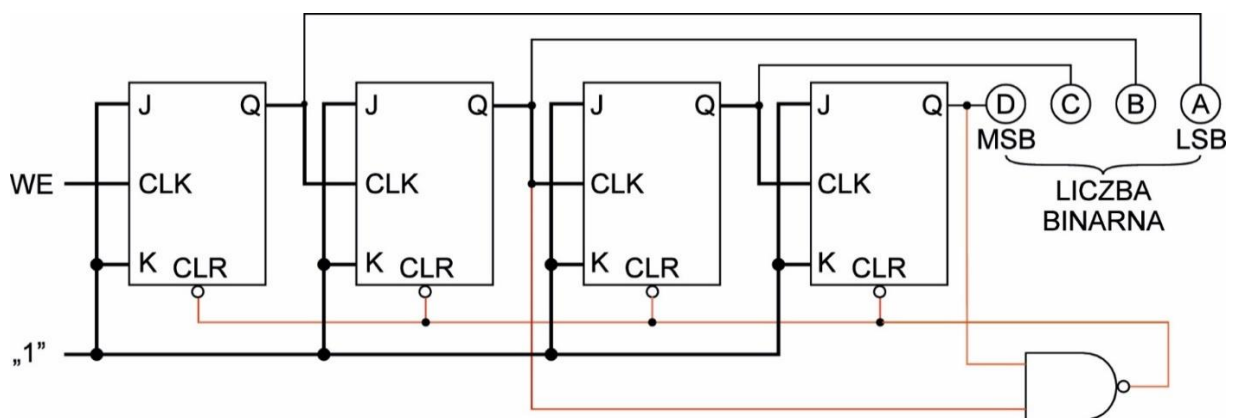
Rys. 1.12. Schemat połączeń przerzutnika D wyzwalanego poziomem wysokim sygnału zegarowego

2. Omówienie układów zastosowanych w ćwiczeniu

2.1. Liczniki NKB i BCD

Licznik jest układem cyfrowym, sekwencyjnym służącym do zliczania i zapamiętania liczby impulsów podanych na jego wejście zliczające. Liczniki buduje się z przerzutników JK pracujących w układzie przerzutnika T. Gdy licznik składa się z n przerzutników to **pojemność licznika** (P), czyli maksymalna liczba impulsów, które licznik jest w stanie zliczyć, wynosi $P=2^n$. Liczbę n nazywamy **długością licznika**. Zapełnienie licznika kończy cykl pracy licznika, po czym wraca on do stanu początkowego. **Długością cyklu** licznika (S) nazywamy liczbę wyróżnialnych stanów logicznych, przez które licznik przechodzi cyklicznie. Jeżeli $S \leq 2^n$ to mówimy, że jest to **licznik modulo-S** (np. **licznik modulo-10** jest **licznikiem dziesiętnym liczącym od 0 do 9**, tzw. dekadą liczącą, przy czym $n=4$ oraz $P=2^4=16$).

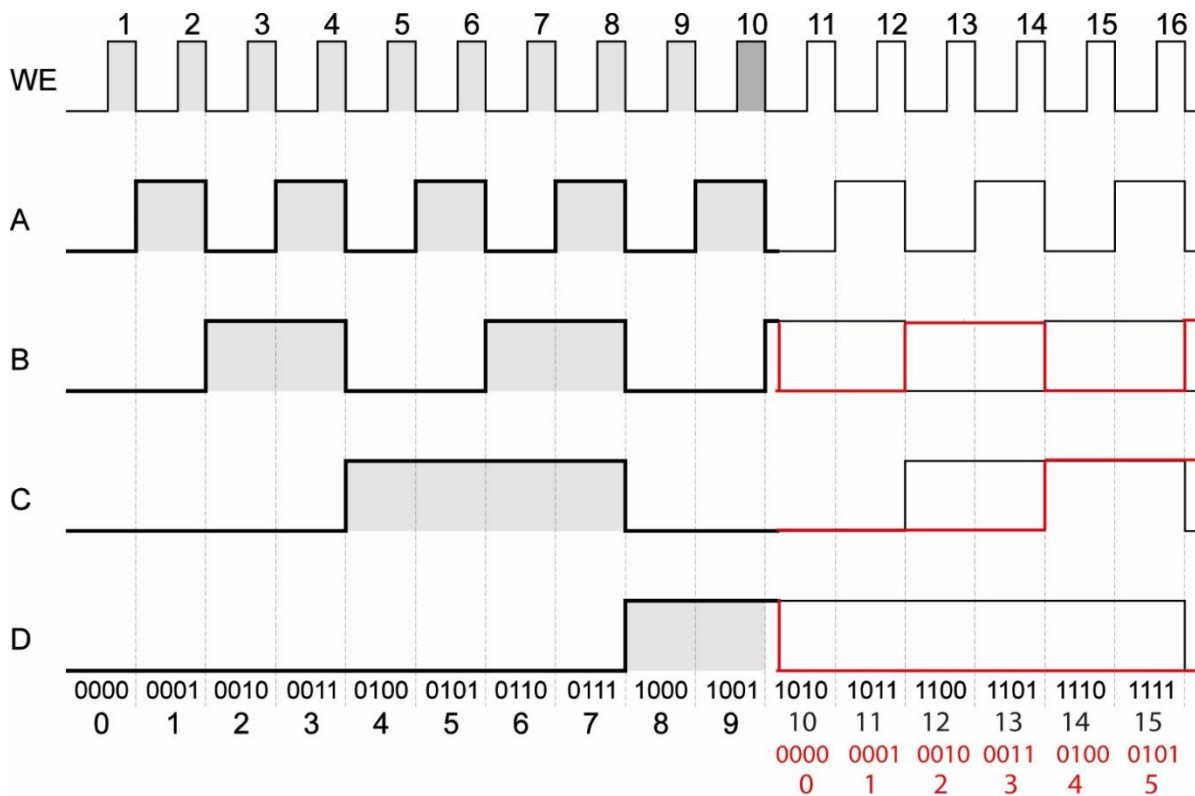
Schemat 4-bitowego licznika asynchronicznego modulo-16 ze skróconym cyklem pracy do licznika modulo-10 przedstawia rys.2.1.



Rys. 2.1. Schemat 4-bitowego licznika asynchronicznego modulo-16 ze skróconym cyklem pracy do licznika modulo-10

MSB - najbardziej znaczący bit, **LSB** - najmniej znaczący bit.

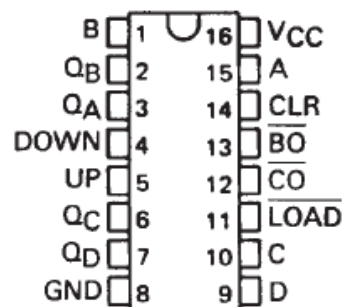
Wykresy czasowe pracy 4-bitowego licznika asynchronicznego modulo-16 ze skróconym cyklem pracy do licznika modulo-10 (zliczającego w kodzie BCD) przedstawia rys.2.2.



Rys. 2.2. Wykresy czasowe 4-bitowego licznika asynchronicznego modulo-16 ze skróconym cyklem pracy do licznika modulo-10 (zliczającego w kodzie BCD)

Kasowanie licznika modulo-16 przez bramkę NAND następuje w przypadku, gdy wyjścia B i D licznika znajdują się jednocześnie w stanie wysokim – licznik zliczy do 0101₍₂₎ = 9₍₁₀₎, po czym następuje jego wyzerowanie i zaczyna zliczać ponownie (zliczającego w kodzie BCD). Gdyby nie została podłączona bramka zerująca NAND, licznik zliczałby do 15₍₁₀₎, po czym przechodziłby do 0.

Układ scalony SN74193 to synchroniczny 4-bitowy licznik rewersyjny pracujący w naturalnym kodzie binarnym NKB (8421). Zdjęcie układu scalonego SN74LS193 wykonanego w technologii TTL w obudowie SMD i opis wyprowadzeń przedstawia rys.2.3.



Rys. 2.3. Zdjęcie układu scalonego SN74LS193 w obudowie SMD (do montażu powierzchniowego) i opis wyprowadzeń

Licznik posiada 4 wejścia programujące A, B, C i D, które można wykorzystywać do ustalania wstępnego stanu licznika. Dane z tych wejść są asynchronicznie przepisywane do przerzutników JK przy ustawieniu wejścia LOAD w stan 0. Przerzutniki JK tworzące licznik zmieniają swój stan przy przejściu sygnału zegarowego ze stanu niskiego na wysoki. Licznik posiada asynchroniczne wejście CLR (clear - czyść). Podanie stanu wysokiego na to wejście powoduje wyzerowanie wszystkich przerzutników. Licznik posiada dwa wejścia UP (w górę) i DOWN

(w dół), na które podanie impulsów zegarowych powoduje odpowiednio zliczanie w górę lub w dół. Nieużywane wejście zegarowe powinno być w stanie wysokim. Dwa wyjścia CO (Carry Output - wyjście przeniesienia) i BO (Borrow Output - wyjście pożyczki) pozwalają w prosty sposób łączyć ze sobą kolejne dekady liczników. Wyjście CO łączymy z wejściem UP kolejnego licznika a wyjście BO z wejściem DOWN.

Parametry licznika wykonanego w technologii TTL o oznaczeniu SN74LS193 przedstawiono w tabeli z dokumentacji technicznej producenta układu scalonego.

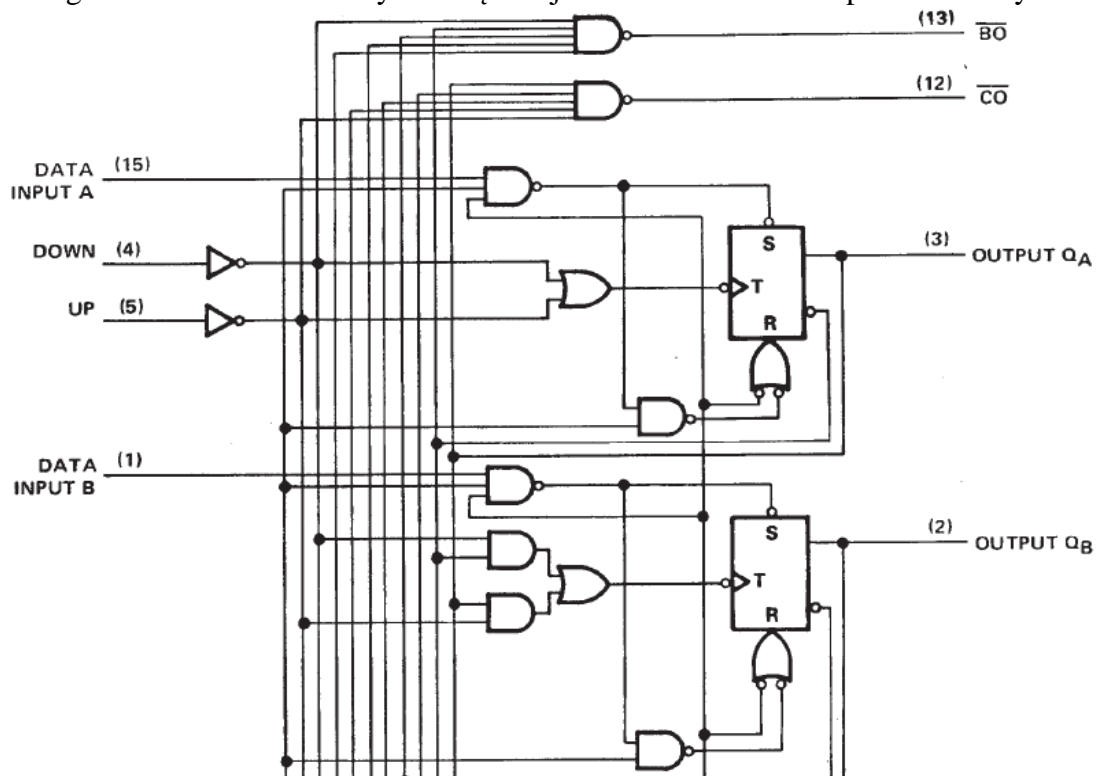
		SN54LS192 SN54LS193			SN74LS192 SN74LS193			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
I_{OH}	High-level output current				-400			μA
I_{OL}	Low-level output current				8			mA
f_{clock}	Clock frequency	0	25		0	25		MHz
t_w	Width of any input pulse	20			20			ns
t_{su}	Clear inactive-state setup time	15			15			ns
	Load inactive-state setup time	15			15			ns
	Data setup time (see Figure 1)	20			20			ns
t_h	Data hold time	5			5			ns
T_A	Operating free-air temperature range	-55 125			0 70			$^{\circ}C$

PARAMETER	TEST CONDITIONS†	SN54LS192 SN54LS193			SN74LS192 SN74LS193			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage	0.7			0.8			V
V_{IK}	Input clamp voltage	$V_{CC} = \text{MIN}, I_I = -18 \text{ mA}$		-1.5	-1.5		V	
V_{OH}	High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = V_{IL \text{ max}}, I_{OH} = -400 \mu A$		2.5 3.4	2.7 3.4		V	
V_{OL}	Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = V_{IL \text{ max}}$		$I_{OL} = 4 \text{ mA}$	0.25 0.4	0.15 0.4	V	
				$I_{OL} = 8 \text{ mA}$		0.35 0.5		
I_I	Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 7 \text{ V}$		0.1		0.1	mA	
I_{IH}	High-level input current	$V_{CC} = \text{MAX}, V_I = 2.7 \text{ V}$		20		20	μA	
I_{IL}	Low-level input current	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$		-0.4		-0.4	mA	
I_{OS}	Short-circuit output current§	$V_{CC} = \text{MAX}$		-20	-100	-20	-100	mA
I_{CC}	Supply current	$V_{CC} = \text{MAX},$ See Note 2		19	34	19	34	mA

Układ ten charakteryzuje się dopuszczalnym napięciem zasilania od +4,75 V do +5,25 V (zgodnie z technologią TTL). Poziomy napięć wejściowych: stan niski do 0,7 V, stan wysoki od 2,5 V. Pobór mocy układu w stanie dynamicznym przy częstotliwości sygnału zegarowego 32 kHz (zliczanych impulsów) wynosi 95 mW. Maksymalna częstotliwość pracy układu 25 MHz. Próg napięciowy przełączania układów TTL do stanu wysokiego odpowiada dwóm spadkom napięcia na diodzie (ok.1,3 V). Ze względu na niewielką wartość tego napięcia cała rodzina jest wrażliwa na zakłócenia. Dodatkową wadą układów TTL jest fakt, że ze względu na konstrukcję z tranzystorów bipolarnych przy wymuszonym stanie niskim przez układ sterujący z wejścia

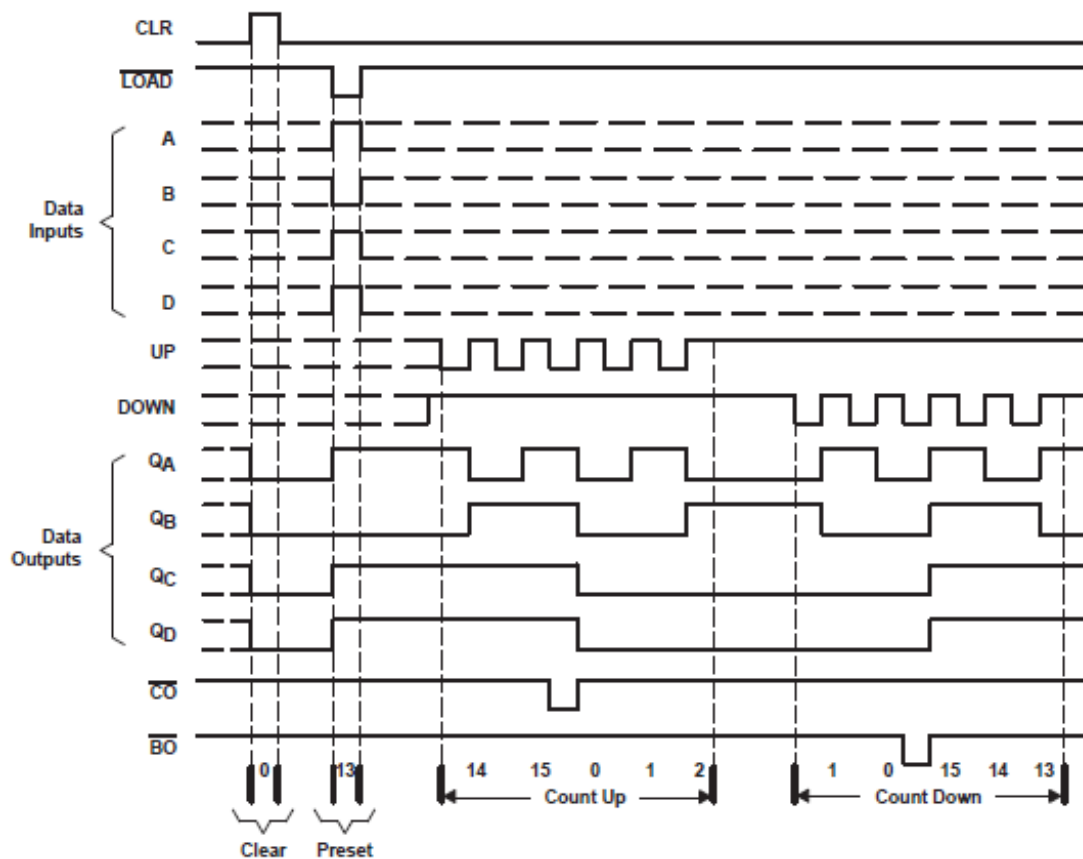
bramki TTL do wyjścia bramki sterującej popłynie prąd o znacznej wartości (parametr I_{OL} - w tym przypadku nawet 8 mA), co uniemożliwia sterowanie układami TTL przez niektóre układy CMOS o małej obciążalności prądowej wyjść.

Fragment schematu struktury wewnętrznej licznika SN74LS76A przedstawia rys.2.4.



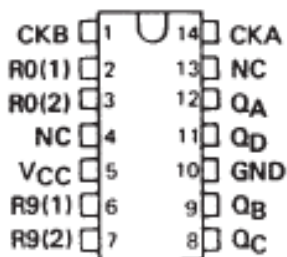
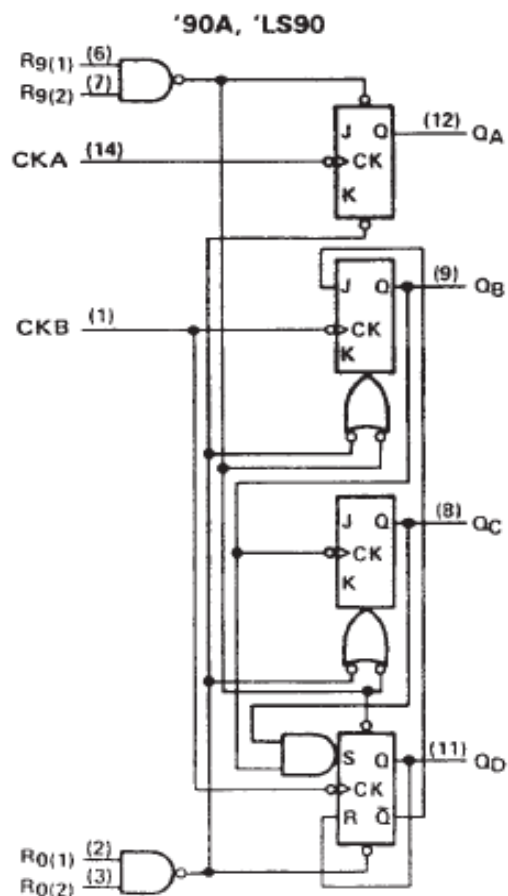
Rys. 2.4 Fragment schematu struktury wewnętrznej licznika SN74LS76A

Wykresy czasowe pracy 4-bitowego licznika NKB SN74LS76A przedstawia rys.2.5.



Rys. 2.5 Wykresy czasowe pracy 4-bitowego licznika NKB SN74LS76A

Układ scalony SN7490 zawiera cztery przerzutniki synchroniczne typu Master/Slave, z których pierwszy (A) jest jednobitowym licznikiem modulo-2, a trzy pozostałe (B, C, D) tworzą licznik modulo-5. Trzy przerzutniki (A, B, C) są przerzutnikami typu JK, a czwarty przerzutnik (D) jest przerzutnikiem RS. Układ ten ma dwa wejścia zliczające CKA i CKB, cztery wejścia sterujące R0(1), R0(2), R9(1), R9(2), oraz cztery wyjścia QA, QB, QC, QD. Układ może być wykorzystywany jako licznik modulo-2. Wówczas wejściem zliczającym jest wejście CKA, a wyjściem tego licznika wyjście QA. Wykorzystanie układu scalonego jako licznika zliczającego modulo-5 wymaga doprowadzenia przebiegu zliczanych impulsów do wejścia CKB, a wyjściami takiego licznika są wyjścia QB, QC i QD (o wagach 2^0 , 2^1 , 2^2).



Opis wyprowadzeń licznika dziesiętnego 7490:

CKA – wejście zegarowe licznika modulo-2

CKB – wejście zegarowe licznika modulo-5

NC – wejście nie podłączone

QA – wyjście przerzutnika A

QB – wyjście przerzutnika B

QC – wyjście przerzutnika C

QD – wyjście przerzutnika D

R0(1) – wejście zerujące 1

R0(2) – wejście zerujące 2

R9(1) – wejście ustawiające 1

R9(2) – wejście ustawiające 2

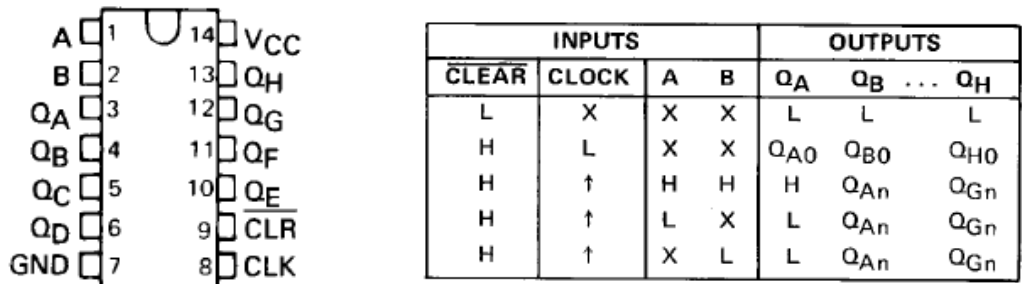
Rys. 2.6 Schemat logiczny, opis wyprowadzeń licznika SN7490 i zdjęcie układu scalonego w obudowie DIP do montażu przewlekane

Aby otrzymać licznik dziesiętny (dekadę), należy wykonać połączenie wyjścia Q_A z wejściem CKB. Wejściem licznika jest wówczas CKA, a wyjściami wyprowadzenia Q_A , Q_B , Q_C , Q_D (o wagach 2^0 , 2^1 , 2^2 i 2^3). **Połączenie takie jest szeregowym połączeniem licznika modulo-2 z licznikiem modulo-5, co w efekcie prowadzi do uzyskania licznika modulo-10, który w kodzie BCD zlicza do $0101_{(2)} = 9_{(10)}$, po czym następuje jego wyzerowanie i zaczyna zliczać ponownie.**

Licznik modulo-N jest jednocześnie dzielnikiem przez wartość N. Tak więc licznik modulo-10 może być wykorzystany jako dzielnik częstotliwości przez 10.

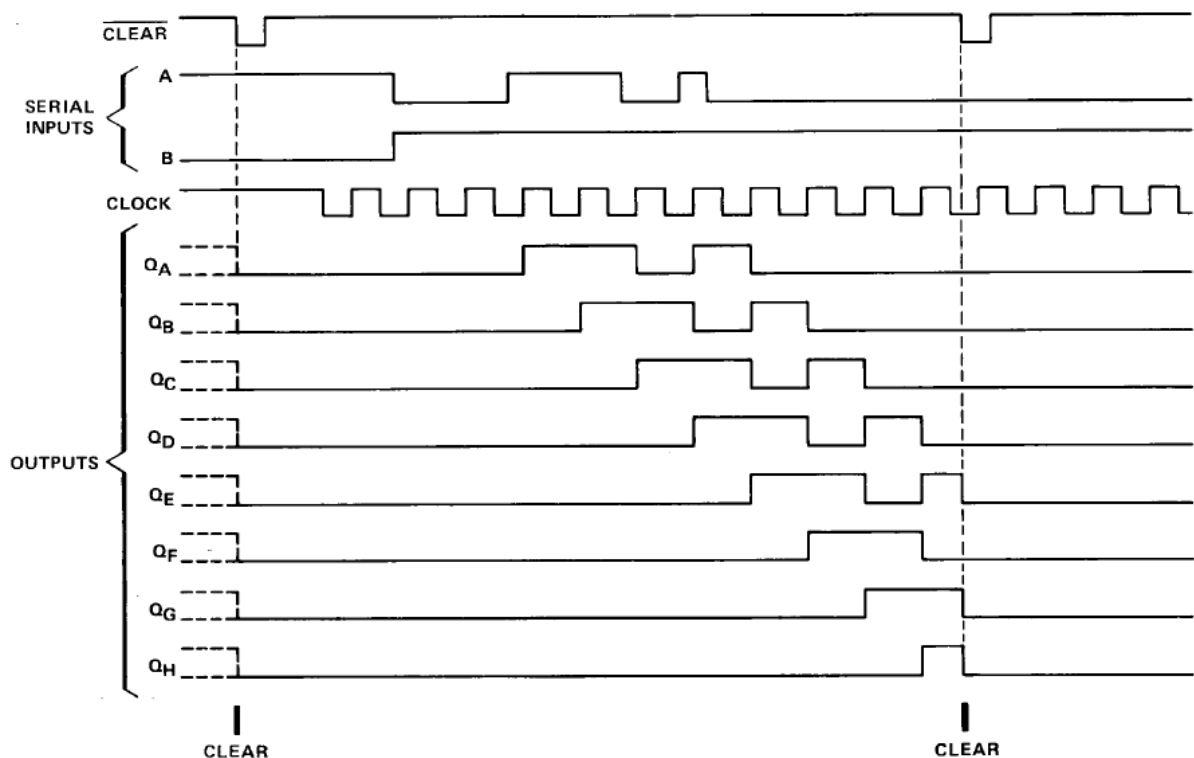
2.2. Rejestr przesuwny

Układ SN74164 zawiera osiem przerzutników SR połączonych szeregowo i jest rejestrem przesuwym służącym do zamiany informacji szeregowej na równoległą. Posiada dwa wejścia danych A i B (w prostych aplikacjach drugie wejście jest zwarte do masy), wejście zegarowe CLK, wejście zerujące CLR oraz wyjścia równoległe Q_A - Q_H . Opis wyprowadzeń i tablicę prawdy układu scalonego SN74164 przedstawiono na rys.2.7.



Rys. 2.7. Opis wyprowadzeń i tablica prawdy układu scalonego SN74164

Pojawienie się narastającego zbocza na wejściu CLK powoduje wpisanie informacji z wejść danych A&B na wyjście Q_A , równocześnie dotychczasowy stan wyjścia Q_A jest przepisywany na wyjście Q_B , z wyjścia Q_B na Q_C itd. Ośmiokrotne pojawienie się narastającego zbocza zegarowego powoduje wpisanie kolejnych 8-miu stanów z wejść A&B na wyjścia $Q_A - Q_H$. Sygnał CLR niezależnie od sygnału zegarowego powoduje ustawienie w stan niski (0) wszystkich wyjść układu. Wykresy czasowe pracy rejestru przesuwającego SN74164 przedstawia rys.2.8.



Rys. 2.8 Wykresy czasowe pracy rejestru przesuwającego SN74164

2.3. Dekoder 4 z 16

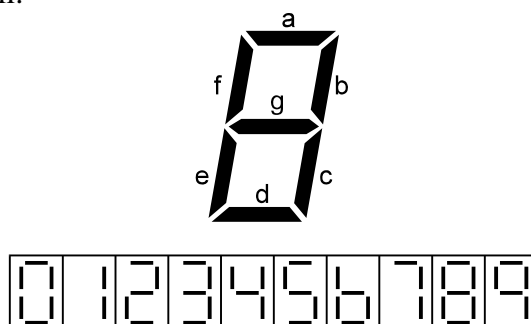
Dekoder – układ kombinacyjny (asynchroniczny) dokonujący konwersji zakodowanych danych w inną formę. Dekoder 4 z 16 przetwarza 4-bitowy kod binarny na kod „1 z 16”. Za pomocą wejść czterech wejść adresowych od A_0 do A_3 wybierane jest jedno z szesnastu wyjść od Y_0 do Y_{15} , które zostanie ustawione w stan niski (L). Praca dekodera jest blokowana, gdy którekolwiek z wejść zezwalających E_1, E_2 jest ustawione w stan wysoki (H). Tablicę prawdy układu scalonego CD54HCT154 wykorzystywanego w ćwiczeniu przedstawiono na rys.2.9.

INPUTS						OUTPUTS																
$\overline{E1}$	$\overline{E2}$	A3	A2	A1	A0	$\overline{Y0}$	$\overline{Y1}$	$\overline{Y2}$	$\overline{Y3}$	$\overline{Y4}$	$\overline{Y5}$	$\overline{Y6}$	$\overline{Y7}$	$\overline{Y8}$	$\overline{Y9}$	$\overline{Y10}$	$\overline{Y11}$	$\overline{Y12}$	$\overline{Y13}$	$\overline{Y14}$	$\overline{Y15}$	
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

Rys. 2.9. Tablica prawdy dekodera 4 z 16

2.4. Wyświetlacz 7-segmentowy wraz z układem sterującym

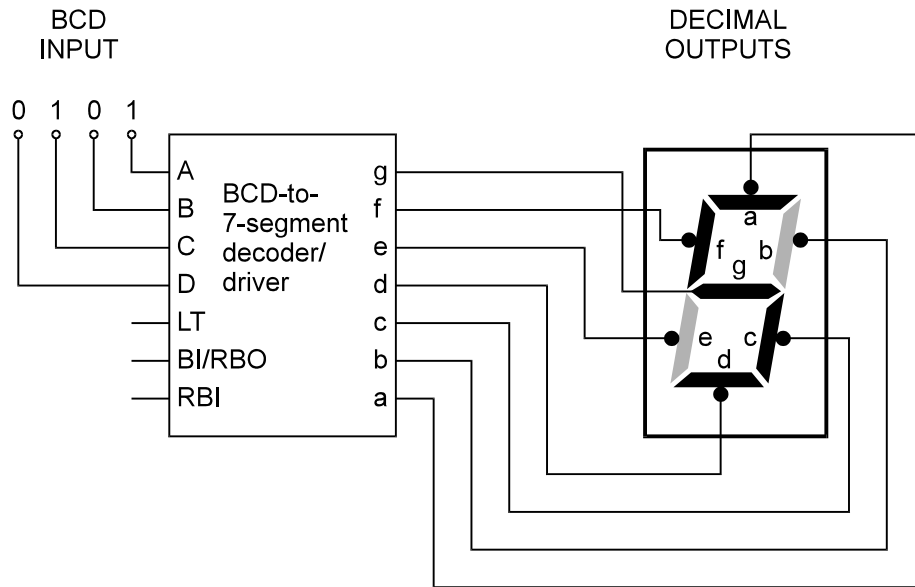
Wyświetlacz 7-segmentowy, pokazany na rys.2.10, umożliwia przedstawienie 10 cyfr i 10 liter. Wskaźniki te są wytwarzane jako jedno- lub wielopozycyjne (w jednej obudowie), przy tym często zawierają dodatkowe elementy, służące do wyświetlania kropki, dwukropka, a także innych symboli.



Rys. 2.10 Wyświetlacz 7-segmentowy

Najważniejszymi zaletami wskaźników z diod elektroluminescencyjnych są duża niezawodność i trwałość (szacowana na 114 lat), niskie napięcie zasilania (ok. 2V) oraz możliwość uzyskania różnych barw świecenia. Zasadniczą wadą jest duży pobór prądu (kilka do kilkudziesięciu mA na segment), dlatego nie jest możliwe sterowanie nimi bezpośrednio przez linie mikrokontrolera tylko koniecznej jest zastosowanie dodatkowych tranzystorów. Do sterowania wskaźników 7-segmentowych używa się specjalnych układów cyfrowych, tzw. dekodery sterujących

(*decoder/driver*). Dekoder sterujący przetwarza kod BCD (8421) na kod 7-segmentowy, powodując świecenie odpowiednich segmentów (diod) wyświetlacza, co ilustruje rys.2.11.

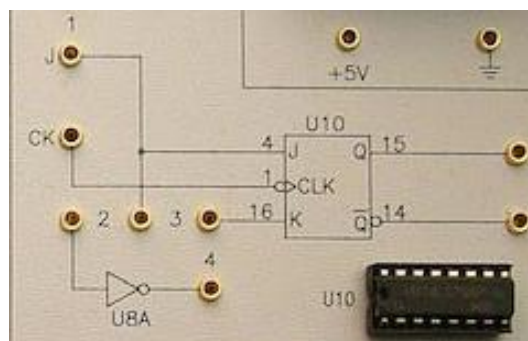


Rys. 2.11 Działanie dekodera BCD na kod 7-segmentowy

II. Wykonanie ćwiczenia

1. Określenie tablic prawdy przerzutników synchronicznych JK, D i T

Do każdego z wejść J i K przerzutnika JK (układ U10 umieszczony w bloku C zestawu edukacyjnego do badania układów synchronicznych) podłączyć wyjście oddzielnego bistabilnego zadajnika poziomów logicznych. Do wejścia zegarowego CLK podłączyć wyjście impulsatora (generatora pojedynczego impulsu). Do wyjść Q i /Q badanego przerzutnika podłączyć oddzielne wejścia próbnika stanów logicznych.



Rys. 1 Układ pomiarowy do badania tablic prawdy przerzutników synchronicznych JK, D i T

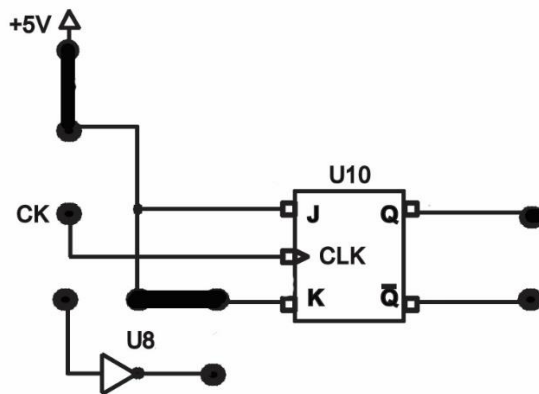
Zadać impulsy wejściowe zgodnie z tabelą i zanotować stan wyjść przerzutnika JK.

J	K	CLK	Q	\overline{Q}_n
1	1	imp.		

0	1	imp.		
1	0	imp.		
0	0	imp.		

W celu określenia, czy przerzutnik jest wyzwalany zboczem, czy poziomem sygnału zegarowego podłączyć do wejścia CLK wyjście oddzielnego bistabilnego zadajnika poziomów logicznych. Dla przypadku, gdy $J = 1$ i $K = 1$ sprawdzić, kiedy następuje zmiana stanu na wyjściu przerzutnika zadając sygnał zegarowy poprzez przełączenie bistabilnego zadajnika poziomów logicznych z 0 na 1 oraz z 1 na 0.

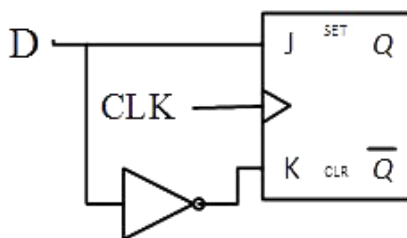
W celu wykonania przerzutnika T z przerzutnika JK wykonać połączenia zgodnie z rys.2.



Rys. 2 Schemat połączeń w celu wykonania przerzutnika T z przerzutnika JK

Do wejścia CLK podłączyć wyjście generatora. Do wyjść Q i \overline{Q}_n badanego przerzutnika podłączyć oddzielne wejścia próbnika stanów logicznych. Włączyć generator i zaobserwować działanie układu, wnioski zanotować w sprawozdaniu.

W celu wykonania przerzutnika D z przerzutnika JK wykonać odpowiednie połączenia, aby zrealizować schemat rys.3.



D	CLK	Q	\overline{Q}_n
0	imp.		
1	imp.		

Rys. 3. Schemat połączeń w celu wykonania przerzutnika D z przerzutnika JK

Do wejść D przerzutnika D podłączyć wyjście oddzielnego bistabilnego zadajnika poziomów logicznych. Do wejść CLK przerzutnika D podłączyć wyjście impulsatora. Do wyjść Q i \overline{Q}_n badanego przerzutnika podłączyć oddzielne wejścia próbnika stanów logicznych. Zadać sygnał wejściowy zgodnie z tabelą i zanotować stan wyjść przerzutnika D po podaniu impulsu zegarowego.

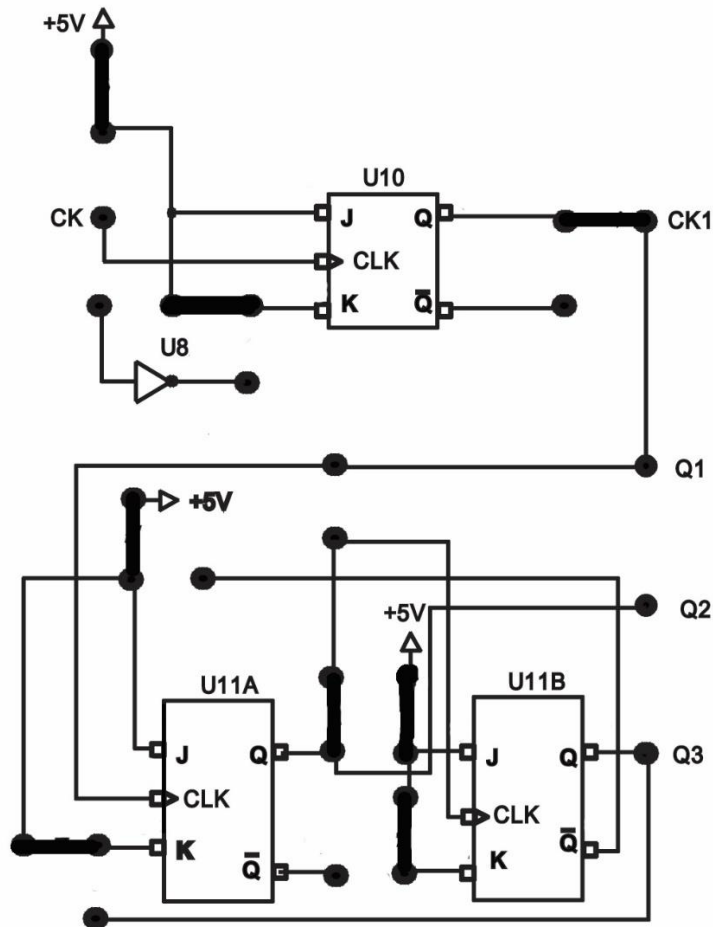
W sprawozdaniu opisać zasadę działania badanych przerzutników.

Porównać otrzymane wyniki z tablicami prawdy przerzutników przedstawionymi w części teoretycznej niniejszej instrukcji.

Określić, czy są to przerzutniki wyzwalane zboczem, czy poziomem sygnału zegarowego.

2. Badanie 3-bitowego licznika wykonanego z przerzutników JK

Na trzech przerzutnikach JK umieszczonych w bloku C zestawu edukacyjnego do badania układów synchronicznych wykonać połączenia zgodnie ze schematem rys.4.



Rys. 4 Schemat połączeń do wykonania w układzie do badania 3-bitowego licznika zbudowanego z przerzutników T

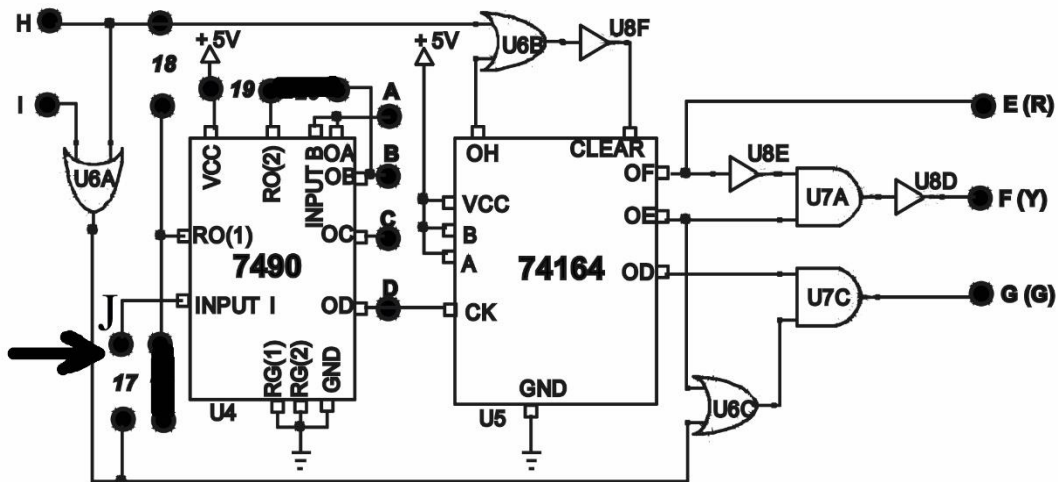
Do wejścia CK licznika (CLK pierwszego przerzutnika T tworzącego licznik) podłączyć wyjście impulsatora. Do wyjść licznika Q1, Q2 i Q3 podłączyć oddzielne wejścia próbnika stanów logicznych. Zanotować w tabeli w jaki sposób zmienia się stan wyjść licznika po podaniu każdego z impulsów sygnału zegarowego.

Wyznaczyć tabelę przejść licznika.

W sprawozdaniu opisać zasadę działania badanego układu oraz narysować przebiegi czasowe dla poszczególnych przerzutników T tworzących 3-bitowy licznik.

3. Badanie scalonego licznika 4-bitowego BCD

W bloku B zestawu edukacyjnego do badania układów synchronicznych wykonać połączenia zgodnie ze schematem rys.5.



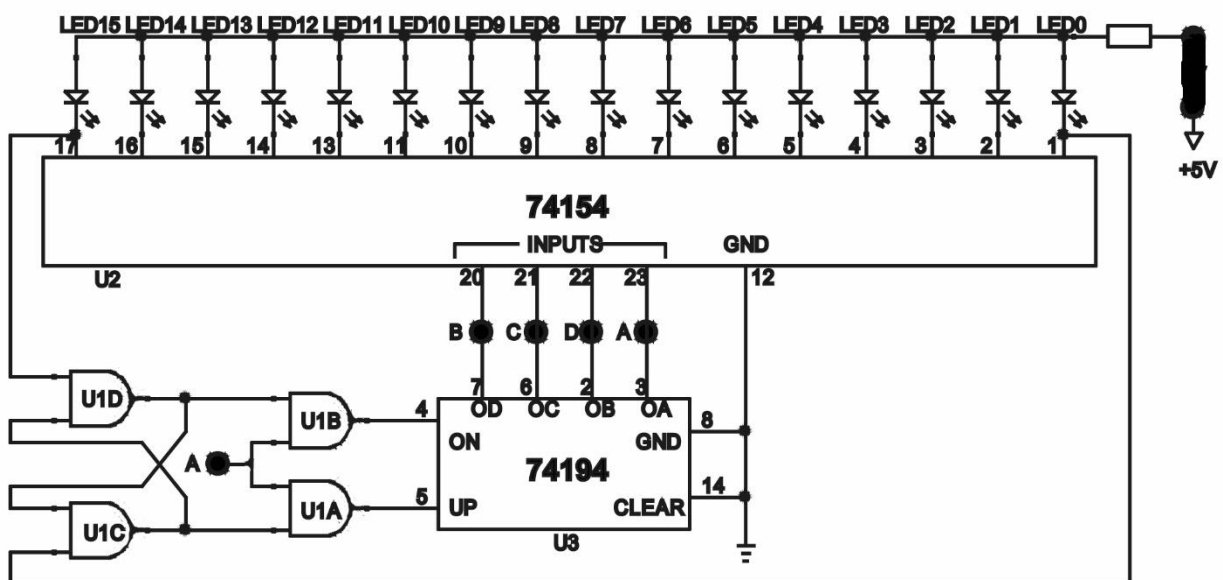
Rys. 5 Schemat połączeń do wykonania w układzie do badania licznika 4-bitowego BCD

Do wejścia J licznika podłączyć wyjście impulsatora. Do wyjść licznika A, B, C i D podłączyć oddzielne wejścia próbnika stanów logicznych i **wyznaczyć tabelę przejść**. Następnie do wejścia J zamiast impulsatora podłączyć wyjście generatora sygnału zegarowego, a do wyjść licznika A, B, C i D zamiast próbnika stanów logicznych podłączyć wyświetlacz 7-segmentowy i **wyznaczyć tabelę przejść**.

W sprawozdaniu przedstawić tabelę przejść licznika i opisać zasadę działania tego układu.

4. Badanie scalonego licznika 4-bitowego NKB i dekodera 4 z 16

W bloku A zestawu edukacyjnego do badania układów synchronicznych podłączyć zworkę załączającą zasilanie diod LED zgodnie ze schematem rys.6.



Rys. 6 Schemat połączeń do badania licznika 4-bitowego NKB i dekodera 4 z 16

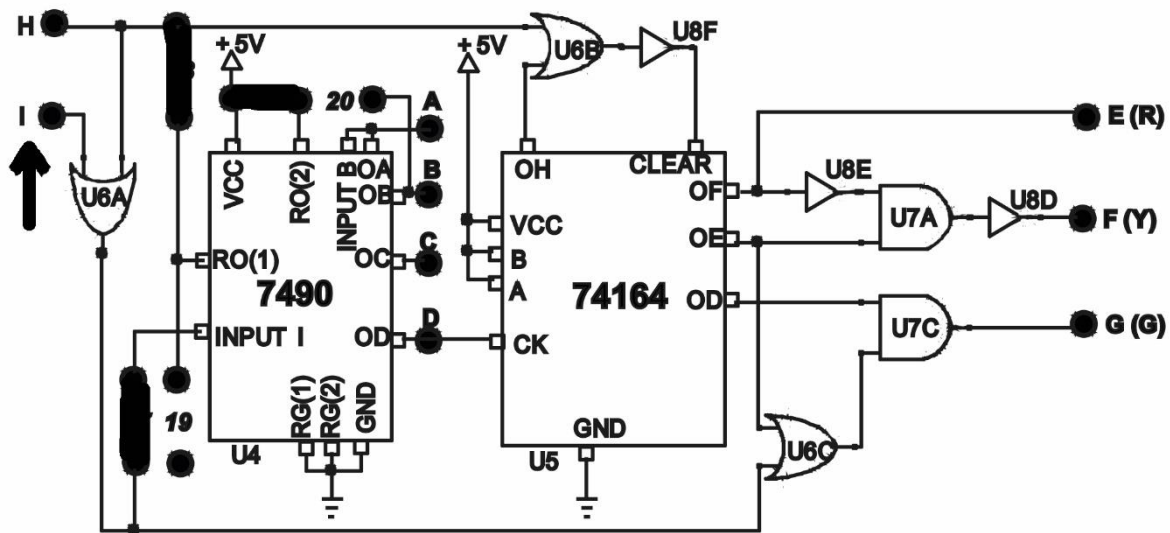
Do wejścia A licznika podłączyć wyjście generatora sygnału zegarowego. Do wyjść licznika A, D, C, B (A - najmniej znaczący bit) podłączyć oddzielne wejścia próbnika stanów logicznych i **wyznaczyć tabelę przejść**. Następnie do wyjść licznika zamiast próbnika stanów logicznych podłączyć oddzielne wejścia układu z wyświetlaczem 7-segmentowy i **wyznaczyć**

tabelę przejść. Obserwując jednocześnie diody od LED0 do LED15 wyznaczyć tabelę prawdy dekodera 4 z 16 oraz opisać jego zasadę działania. Zaobserwować i przeanalizować zasadę sterownia przez bramki logiczne kierunkiem zliczania licznika NKB.

*W sprawozdaniu przedstawić tabelę przejść licznika i tabelę prawdy dekodera oraz opisać zasadę działania badanych układów. Porównać liczniki z punktów 3 i 4. Odpowiedzieć na pytanie, w którym przypadku wyświetlacz 7-segmentowy działa prawidłowo!
Wykonać opis zasady sterownia przez bramki logiczne licznikiem NKB.*

5. Badanie scalonego rejestru przesuwanego

W bloku B zestawu edukacyjnego do badania układów synchronicznych wykonać połączenia zgodnie ze schematem rys.7.



Rys. 7 Schemat połączeń do wykonania w układzie do badania rejestru przesuwanego

Do wejścia I licznika podłączyć wyjście generatora sygnału zegarowego, a do wejścia H wyjście zadajnika poziomów logicznych. Do wyjść licznika A, B, C i D podłączyć oddzielne wejścia układu z wyświetlaczem 7-segmentowym, a do wyjść E, F i G oddzielne wejścia próbnika stanów logicznych.

W sprawozdaniu opisać sposób działania badanego układu dla wysokiego i niskiego poziomu sygnału wyjściowego z zadajnika poziomów logicznych podłączonego do wejścia H licznika i wyjaśnić zasadę jego działania.