

## CZ1. Optymalizacja funkcji przełączających

1. Proszę opisać słownie metodę i dokonać optymalizacji łącznej następujących funkcji (najmłodszy bit wejścia proszę oznaczyć A):  
 $F1 = \text{SUM } m(1,3,5,7,9,13,15)$   
 $F2 = \text{SUM } m(2,6,7,10,14,15)$   
Optymalizacji proszę dokonać metodą Quine'a-McCluskeya.
2. Zminimalizować postać funkcji 5 zmiennych metodą **McCluskeya**  $F3 = \text{SUM } (0,7,8,10,15,23,31)$ , zmienne *abcde*, *a* ma wagę 1
3. Zminimalizować postać funkcji 5 zmiennych metodą **McCluskeya**  $F3 = \text{SUM } (0,1,2,3,5,8,9,10,11,13)$  zmienne *abcd*, *a* ma wagę 1
4. Proszę dokonać **optymalizacji łącznej** 2 funkcji  $F1$  i  $F2$  tych samych zmiennych *a,b,c* (waga zmiennej *a* jest równa 1, waga *c* jest równa 4):
  - Proszę jednym max 3 zdaniem opisać kolejne kroki metody
  - OKREŚLIĆ POSTACIE MINIMALNE funkcji  $F1$  i  $F2$
  - $F1 = \text{SUM } (4,6,7,15)$   $F2 = \text{SUM } (4,8,12,15)$
5. Zminimalizować postać funkcji 5 zmiennych metodą **McCluskeya**  $F3 = \text{SUM } (0,2,7,8,10,15,23,31)$ , zmienne *abcde*, *a* ma wagę 1.

## CZ2. Liczniki

1. Proszę zaprojektować synchroniczny licznik modulo 240 metodą skracania używając synchronicznych liczników modulo 16 i bramek logicznych. Polecane układy mają wejście zgody na zliczanie i asynchroniczne wejście zerujące. Proszę zapobiec błędnej pracy licznika ze względu na wartości przejściowe sygnału zerującego spowodowane (tylko) różnymi czasami propagacji do 1 i 0 na wyjściach licznika.
2. Proszę zaprojektować metodą syntezy asynchroniczny licznik modulo 7 (wyznaczyć funkcje wzbudzeń przerzutników) na przerzutnikach JK. Jaka jest maksymalna częstotliwość pracy zaprojektowanego licznika?
3. Proszę zaprojektować (używając przerzutników D i bramek NOR) asynchroniczny licznik modulo 5 **metodą syntezy** (3pkt). Jakie warunki musi spełniać okres zegara dla zapewnienia poprawności pracy układu jako licznika?
4. Proszę zaprojektować synchroniczny licznik modulo 400 (w kodzie BCD) metodą skracania używając synchronicznych liczników modulo 10 i ewentualnie bramek logicznych. Polecane układy mają wejście zgody na zliczanie i asynchroniczne wejście zerujące. Proszę zapobiec błędnej pracy licznika spowodowane (tylko) zbyt krótkim czasem zerowania.
5. Proszę zaprojektować metodą syntezy asynchroniczny licznik modulo 6 (wyznaczyć funkcje wzbudzeń przerzutników) na przerzutnikach JK. Jaka jest maksymalna częstotliwość pracy zaprojektowanego licznika?
6. Proszę zaprezentować różnicę w realizacji licznika modulo 055<sub>10</sub>:
  - licznika synchronicznego z zerowaniem synchronicznym i
  - licznika asynchronicznego z zerowaniem asynchronicznym.Proszę użyć gotowych (nie projektować) synchronicznych liczników modulo 10 i bramek logicznych. Liczniki te posiadają wejście zegarowe, wejście zgody na zliczanie - poziom wysoki na tym wejściu pozwala licznikowi na zliczanie impulsów zegarowych, asynchroniczne lub synchroniczne (do wyboru przez projektanta) wejście zerowania i 4 wyjścia.
7. Proszę zaprezentować różnicę w realizacji liczników modulo 0CC<sub>16</sub>:
  - a. licznika synchronicznego z zerowaniem synchronicznym i
  - b. licznika asynchronicznego z zerowaniem asynchronicznym.Proszę użyć gotowych (nie projektować) synchronicznych liczników modulo 16 i bramek logicznych. Liczniki te posiadają wejście zegarowe, wejście zgody na zliczanie - poziom wysoki na tym wejściu pozwala licznikowi na zliczanie impulsów zegarowych, asynchroniczne lub synchroniczne (do wyboru) wejście zerowania i 4 wyjścia.
8. Metodą syntezy zaprojektować licznik asynchroniczny liczący w kodzie: 0,1,2,3,4 na przerzutnikach D. Proszę **wyjaśnić** maksymalną częstotliwość pracy układu.
9. Metodą syntezy zaprojektować licznik asynchroniczny liczący w kodzie: 2,3,4,0,1 na przerzutnikach D. Proszę **wyjaśnić** maksymalną częstotliwość pracy układu.
10. Zaprojektować z przerzutników JK metodą strukturalną i skracania licznik dowolnego typu (synchroniczny, asynchroniczny, zerowanie synchroniczne lub asynchroniczne) (proszę określić typ projektowanego licznika) którego grupy 4 wyjść można podać na transkoder BCD-7segment podłączony do wyświetlaczy prezentujących godziny i minuty w ciągu doby (uwaga po godzinie 23.59 pojawia się godzina 00.00) Proszę przygotować wejście układu umożliwiające start licznika od wartości 00:00.
11. Licznik asynchroniczny z zerowaniem asynchronicznym modulo 260 liczący w kodzie BCD zbudowano w oparciu o liczniki modulo 10. Okazało się, że nie działa poprawnie, gdyż zamiast wracać do 0 po przepełnieniu wraca do wartości 20. Proszę zaprojektować ten licznik w taki sposób, aby problem się nie pojawił.
12. Zaprojektowany metodą skracania licznik asynchroniczny z zerowaniem asynchronicznym modulo 260 liczący w kodzie BCD zbudowano w oparciu o liczniki modulo 10. Okazało się, że nie działa poprawnie, gdyż zamiast wracać do 0 po przepełnieniu wraca do wartości 40. Proszę zaprojektować licznik (tego samego typu) w taki sposób, aby wskazany problem się nie pojawił.

13. Zaprojektowany metodą skracania Licznik asynchroniczny z zerowaniem asynchronicznym modulo 26 liczący w kodzie BCD zbudowano w oparciu o liczniki modulo 10. Okazało się, że nie działa poprawnie, gdyż po zaobserwowaniu wartości 23 następuje wyzerowanie – licznik pracuje modulo 24. Jako przyczynę problemu wskazano wartości przejściowe na wyjściu licznika. Proszę zaprojektować licznik (tego samego typu) w taki sposób, aby wskazany problem się nie pojawił.
14. Metodą **skracania liczników** (korzystając z bramek logicznych i synchronicznych liczników binarnych modulo 16) proszę zaprojektować synchroniczny licznik modulo 65 (czyli dzielący częstotliwość sygnału wejściowego przez 65). Proszę założyć, że dostępny licznik modulo 16 jest czuły na zbocze narastające zegara i posiada synchroniczne wejście zerujące aktywne poziomem wysokim (2pkt). Jakie warunki musi spełniać okres zegara dla zapewnienia poprawności pracy układu jako licznika

### CZ3. Arytmetyka binarna

1. Używając dla liczb dodatnich reprezentację binarną znak-moduł, dla liczb ujemnych reprezentację znak-U2 (uzupełnienie do 2) **dodać** następujące pary liczb: 40 i -120, 15 i -8 (wartości zapisano dziesiętnie), określić słownie niezbędną liczbę bitów używanych reprezentacji.
2. Używając dla liczb dodatnich reprezentację binarną znak-moduł, dla liczb ujemnych reprezentację znak-U2 (uzupełnienie do 2) **dodać** następujące pary liczb: 41 i -63, 100 i -8 (wartości zapisano dziesiętnie), określić słownie niezbędną liczbę bitów używanych reprezentacji.
3. Proszę wykonać dodawanie liczb w kodzie **BCD**, w kodzie dziesiętnym mają wartości 8257 i 1849
4. Proszę wykonać dodawanie liczb w kodzie **BCD**, w kodzie dziesiętnym mają wartości 8822 i 1179
5. Używając dla liczb dodatnich reprezentację binarną znak-moduł, dla liczb ujemnych reprezentację znak-U2 (uzupełnienie do 2) **dodać** następujące pary liczb: 44 i -120, 25 i -8 (wartości zapisano dziesiętnie), określić słownie niezbędną liczbę bitów używanych reprezentacji
6. Używając dla liczb dodatnich reprezentację binarną znak-moduł, dla liczb ujemnych reprezentację znak-U2 (uzupełnienie do 2) **dodać** następujące pary liczb: 32 i -128, 48 i -8 (wartości zapisano dziesiętnie), określić słownie niezbędną liczbę bitów używanych reprezentacji

### CZ4 Układy kombinacyjne

1. Dokonać implementacji funkcji  $SUM m(1,3,5,7,9,13,15)$  za pomocą minimalnej liczby dowolnych multiplekserów.
2. Dokonać implementacji funkcji  $SUM m(1,3,5,7,9,13,15)$  za pomocą demultipleksera i bramki.
3. Proszę podać tablice prawdy sumatora jednobitowego pełnego oraz dokonać jego optymalizacji metodą optymalizacji łącznej za pomocą metody **McCluskeya**.
4. Czy można wykonać sumator wypełniając odpowiednio pamięć ROM? Proszę odpowiedź uzasadnić, jeśli jest to możliwe to proszę wykonać sumator 2 bitowy pełny. Jaka wielkość pamięci jest niezbędna do jego realizacji.
5. Funkcje  $F1 = SUM(4,6,7,15)$ ,  $F2 = SUM(4,8,12,15)$   
F1 zrealizować za pomocą **multipleksera**, a F2 zrealizować za pomocą **demultipleksera**

### CZ 5. Układy sekwencyjne

1. Za pomocą przerzutnika T i dodatkowych bramek zbudować układ działający zgodnie z zasadami pracy przerzutnika JK. Nie uwzględniać problemu zerowania.
2. Zaprojektować zatrząsk RS przy użyciu bramek NOR oraz omówić graf stanów tego automatu.
3. Zaprojektować zatrząsk RS przy użyciu bramek NAND oraz omówić graf stanów tego automatu.
4. Za pomocą przerzutnika D i dodatkowych bramek zbudować układ działający zgodnie z zasadami pracy przerzutnika JK. Nie uwzględniać problemu zerowania.
5. Omówić koncepcję pracy i sposób budowy (elementy, sposób połączenia) układu usuwającego efekt drgania zestyków klawiatury – układ usuwa hazard dynamiczny.
6. Z przerzutników D bez dodatkowych elementów zbudować licznik modulo 8 – jakie różne wartości będą się pojawiały kolejno na wyjściach: podać kolejność np. 1,2,3,4,5,6,7,1,2,3,4,5,6,7 (ta kolejność nie jest poprawna)

- 7.
7. Omówić cechy charakterystyczne licznika pseudopierścieniowy i wykorzystać go do generacji 2 sygnałów:
  - Sygnał A okres 50 ns jeden impuls dodatni o szerokości 5 ns.
  - Sygnał B- będącym sygnałem A przesuniętym o 15 ns
8. Proszę przedstawić schemat i **omówić działanie** sumatora szeregowego akumulacyjnego dodającego liczby 7 bitowe A i B. Sumator składa się z jednego rejestru dla liczby A i drugiego rejestru wspólnego dla liczby B i wyniku.
9. Proszę przedstawić strukturę komparatora szeregowego dla porównywania bitów począwszy od najmłodszego.
10. Proszę przedstawić strukturę komparatora szeregowego dla porównywania bitów począwszy od najstarszego.

## CZ6 Automaty

1. Proszę zaprojektować graf przejść dla automatu synchronicznego wg struktury Moora (jedno wejście , jedno wyjście informacyjne) wykrywającego: na wejściu ciąg 1011 (kolejno wykryte elementy ciągu nie mogą się nakładać). W przypadku wykrycia ciągu proszę na wyjściu automatu wygenerować poziom wysoki na czas jednego cyklu, a następnie przejść do stanu początkowego. Po wykonaniu grafu proszę wykonać tablicę przejść i skorzystać z niej aby udowodnić za pomocą metody redukcji stanów, że liczba stanów jest minimalna lub połączyć stany równoważne.
2. Proszę zaprojektować graf przejść dla automatu synchronicznego wg struktury Moora (jedno wejście , jedno wyjście informacyjne) wykrywającego: na wejściu ciąg 1100 (kolejno wykryte elementy ciągu nie mogą się nakładać). W przypadku wykrycia wystąpienia ciągu proszę na wyjściu automatu wygenerować poziom wysoki na czas jednego cyklu, a następnie przejść do stanu początkowego. Po wykonaniu grafu proszę wykonać tablicę przejść i skorzystać z niej aby udowodnić za pomocą metody redukcji stanów, że liczba stanów jest minimalna lub połączyć stany równoważne.
3. Zaprojektować automat Moora dla układu komparatora szeregowego interpretującego 3 wejścia.  
 Wejście A =1 sygnalizuje pojawienie się pierwszego bitu danych na wejściu B i C  
 Wejście B jest ciągiem bitów liczby B (od najstarszego)  
 Wejście C jest ciągiem bitów liczby C (od najstarszego)  
 Wyjście D (bit sygnalizuje pracę =1, oczekiwanie na dane=0)  
 Wyjście E (2 bity mają znaczenie gdy D=1): 11 wynik niegotowy, 10 B>C i 01 C>B, 00 równe.  
 Wynik przetwarzania jest dostępny przez jeden takt pracy układu (w jednym stanie) następującym po pojawieniu się A=0. Omówić koncepcję implementacji automatu za pomocą rejestru i ROM (zakodować stany kodem binarnym, określić liczbę wejść i wyjść pamięci, wyjaśnić zawartość 2 pierwszych (pod adresem 0 i 1) słów pamięci.
4. Zaprojektować automat Moora dla układu komparatora szeregowego interpretującego 3 wejścia.  
 Wejście A =1 sygnalizuje pojawienie się pierwszego bitu danych na wejściu B i C, A=0 oznacza że ostatni bit był w poprzednim takcie.  
 Wejście B jest ciągiem bitów liczby B (od najmłodszego)  
 Wejście C jest ciągiem bitów liczby C (od najmłodszego)  
 Wyjście D (bit sygnalizuje pracę =1, oczekiwanie na dane=0)  
 Wyjście E (2 bity mają znaczenie gdy D=1): 11 wynik niegotowy, 10 B>C i 01 C>B, 00 równe.  
 Wynik przetwarzania jest dostępny przez jeden takt pracy układu (w jednym stanie) następującym po pojawieniu się A=0. Omówić koncepcję implementacji automatu za pomocą rejestru i pamięci ROM (zakodować stany kodem binarnym). Proszę określić liczbę wejść i wyjść pamięci, wielkość rejestru i sposób połączenia elementów, proszę wyjaśnić zawartość 2 pierwszych (pod adresem 0 i 1) słów pamięci.
5. Zaprojektować graf automatu Moora o 3 wejściach – dwa z nich kodują czas trwania impulsu wyjściowego; w przypadku gdy na wejściu jest liczba A (binarnie) wtedy generowany jest impuls – poziom wysoki sygnału wyjściowego - przez czas równy A okresom zegara sterującego automatem. Gdy A=0 impuls nie jest generowany. Gdy nastąpi zmiana A na wartość K różną od zera to należy wygenerować na wyjściu poziom wysoki trwający K cykli zegara. Zmiany na wejściu A nie powodują zmiany długości impulsu do momentu jego zakończenia. Poziom niski na wejściu 3 powoduje zakończenie generacji impulsu na wyjściu i przejście do stanu początkowego. Proszę sporządzić tablicę przejść i wyjść a następnie sprawdzić metodą minimalizacji stanów czy liczba stanów automatu z zadania 3 jest minimalna, Proszę opisać sposób implementacji zaprojektowanego grafu automatu za pomocą rejestru i pamięci ROM. Proszę określić rozmiar rejestru i pamięci oraz zawartość pamięci pod 3 kolejnymi adresami począwszy od 0
6. Zaprojektować automat Mealego dla układu mnożącego przez 2 liczbę binarną podaną od najmłodszego bitu. Automat ma dwa wejścia. Na wejściu sterującym wartość 1 oznacza, że bit liczby jest podawany na wejściu danych. Na wyjściu automat sygnalizuje pracę jednym z bitów wyjściowych. Proszę przetestować pracę zaprojektowanego automatu dla liczby  $4D_{16}$  podanej na 8 bitach, wynik ma 9 bitów. Proszę omówić sposób implementacji zaprojektowanego grafu automatu za pomocą automatu mikroprogramowalnego **lub** przerzutników i bramek. Dla automatu mikroprogramowalnego proszę określić niezbędne typy mikrorozkazów i sposób ich realizacji w sprzęcie. Dla przerzutników proszę określić funkcję wzbudzenia jednego z nich.
7. Zaprojektować automat Moora o 2 wejściach kodujących czas trwania impulsu wyjściowego; w przypadku gdy na wejściu jest liczba A (binarnie) wtedy generowany jest impuls – poziom wysoki sygnału wyjściowego - przez czas równy A okresom zegara sterującego automatem. Gdy A=0 impuls nie jest generowany. W przypadku gdy na wejściu A ciągle występuje wartość A, po wygenerowaniu impulsu trwającego A cykli występuje poziom niski przez czas jednego okresu zegara. Proszę opisać sposób implementacji zaprojektowanego grafu automatu za pomocą automatu mikroprogramowalnego

lub przerzutników i bramek. Dla automatu mikroprogramowalnego proszę określić niezbędne typy mikrorozkazów i sposób ich realizacji w sprzęcie. Dla realizacji na przerzutnikach proszę określić funkcję wzbudzeń jednego z przerzutników.

### CZ7. Pamięci

1. Zaprojektować (schemat blokowy) **pamięć statyczną** o rozmiarze 64 słów 8 bitowych w oparciu o **układy pamięci** typu A. Każdy układ A ma wielkość 8 bajtów i słowa 4 bitowe. Układ A posiada niezbędną liczbę wejść adresowych i wej/wyj danych oraz standardowe wejścia sygnałów sterujących CS' i WE'. Docelowa pamięć statyczna ma pracować zgodnie ze standardowym trybem pracy w oparciu o sygnały CS' i WE'. Proszę graficznie/ słownie określić połączenia elementów składowych struktury i wyjaśnić liczbę linii adresowych układów.

2. Zaprojektować (schemat blokowy) **pamięć statyczną** o rozmiarze 64 słów 4 bitowych w oparciu o **układy pamięci** typu A. Każdy układ A ma wielkość 4 bajtów i słowa 1 bitowe. Układ A posiada niezbędną liczbę wejść adresowych i wej/wyj danych oraz standardowe wejścia sygnałów sterujących CS' i WE'. Docelowa pamięć statyczna ma pracować zgodnie ze standardowym trybem pracy w oparciu o sygnały CS' i WE'. Proszę graficznie/ słownie określić połączenia elementów składowych struktury i wyjaśnić liczbę linii adresowych układów.

3. Zbudować z części: układów pamięci (posiadają wejścia CS', WE', adres, we-wyj danych) o rozmiarze 2 kBajty i słowach 4 bitowych pamięć większą - mającą 16 k 8 bitowych słów, proszę zaznaczyć podłączenia wszystkich sygnałów układu: wejść/wyjść danych o odpowiedniej liczbie, linii adresowych o odpowiedniej liczbie i sygnałów CS' i WE', pojedyncze linie odpowiednio nazwane mogą symbolizować grupę sygnałów.

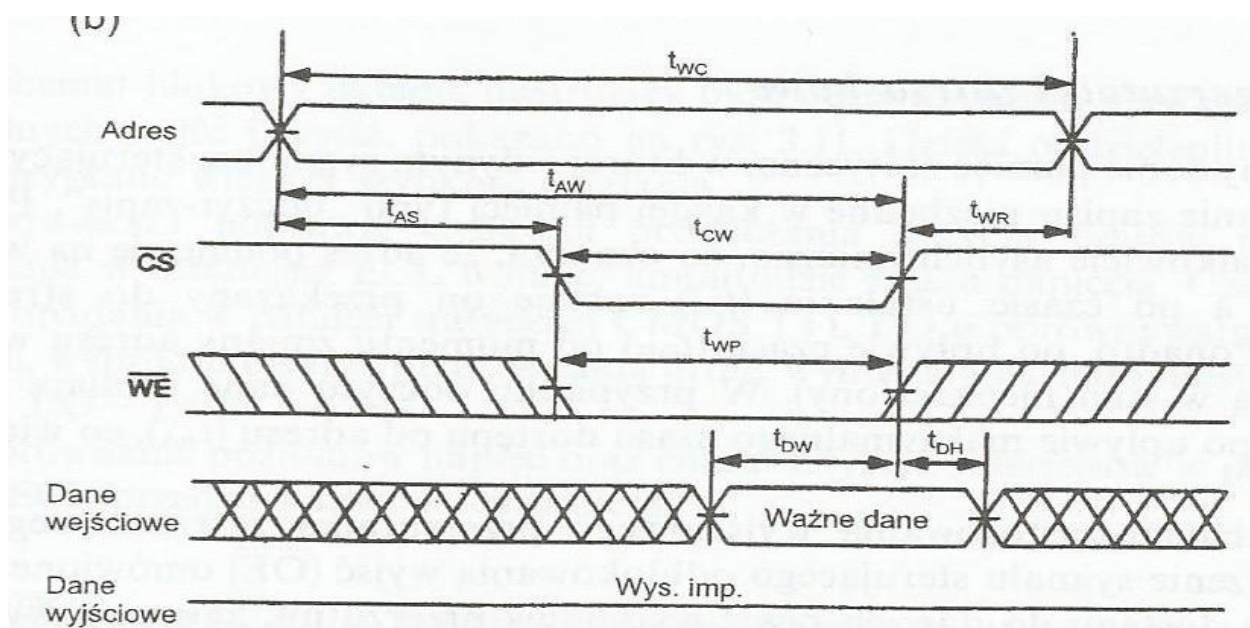
4. Zbudować z części: układów pamięci (posiadają wejścia CS, WE, adres, we-wyj danych) o rozmiarze 2 kBajty i słowach 4 bitowych pamięć większą - mającą 32 k 4 bitowych słów, proszę zaznaczyć podłączenia wszystkich sygnałów układu: wejść/wyjść danych o odpowiedniej liczbie, linii adresowych o odpowiedniej liczbie i sygnałów CS' i WE', pojedyncze linie odpowiednio nazwane mogą symbolizować grupę sygnałów.

• Proszę określić ile elementów - układów scalonych o standardowych wyprowadzeniach (wej-wyj danych, adresy, CS', WE') o rozmiarze 2048 słów 1 bitowych jest potrzebnych do wykonania struktury pamięci o następujących parametrach: pamięć o rozmiarze 2048 Bajtów, w której słowa są 4 bitowe. **Jak należy układy pamięci połączyć ?**

5. Proszę określić ile elementów:

- układów scalonych o standardowych wyprowadzeniach (wej-wyj danych, adresy, CS', WE') o rozmiarze 512 słów 1 bitowych jest potrzebnych do wykonania struktury pamięci o następujących parametrach:

- pamięć mającą co najmniej 6000 bitów, w której słowa są 3 bitowe. **Jak należy elementy te połączyć ? Proszę nazwać wszystkie występujące w układzie sygnały.**



6. Korzystając z zamieszczonych na rysunku powyżej informacji o znaczeniu parametrów określających poprawność zapisu do pamięci SRAM, proszę sprawdzić czy zapis zboczem narastającym WE' jest poprawny w następującej sytuacji: kolejno w odstępach 2 nano sekundowych pojawiały się po sobie: nowy adres, CS' niski, WE' niski i dane do zapisu. Proszę analizę oprzeć na następujących parametrach pamięci:  $t_{aw}=10\text{ns}$ ,  $t_{cw}=10\text{ns}$ ,  $t_{wp}=10\text{ns}$ ,  $t_{dw}=7\text{ns}$ . WE' niski trwał 13 ns.

• Jeśli zapis jest poprawny to proszę powiedzieć czy mógł zostać zrealizowany wcześniej i kiedy?  
 • Jeśli zapis jest niepoprawny to proszę powiedzieć dlaczego, tzn. który z parametrów nie został spełniony, ile czasu zabrakło do jego spełnienia?

7. Korzystając z zamieszczonych na rysunku informacji o znaczeniu parametrów określających poprawność zapisu do pamięci, proszę określić moment najwcześniejszego poprawnego zapisu jeżeli kolejno w odstępach 3 ns sekundowych wystąpiły: nowy adres, CS' niski, WE' niski i dane do zapisu. Proszę uzasadnić odpowiedź. Proszę analizę oprzeć na następujących parametrach pamięci:  $t_{aw}=10\text{ns}$ ,  $t_{cw}=10\text{ns}$ ,  $t_{wp}=10\text{ns}$ ,  $t_{dw}=7\text{ns}$ . Proszę określić ten moment najwcześniejszego zapisu względem momentu pojawiania się adresu.

## CZ8. Synteza wyższego poziomu

1. Zaprojektować **część wykonawczą (ścieżkę danych)** i **koncepcję układu sterowania** (diagram ASM) dla układu wyznaczenia wartości największej i najmniejszej spośród N liczb 8 bitowych podanych równoległe na wejście układu (układ wykonawczy dla wg koncepcji ogólnej dla N liczb zaprezentować dla 4 liczb). W szczególności należy:

- Opisać słownie realizowany algorytm przetwarzania.
- Układ wykonawczy:
  - nazwać poszczególne elementy składowe układu i określić znaczenie wszystkich niezbędnych do poprawnej pracy wewnętrznych sygnałów informacyjnych i sterujących.
- Rozpocząć i kontynuować pracę po pojawieniu się sygnału wejściowego START=1 do momentu sygnalizowania zakończenia pracy i gotowości wyniku sygnałem wyjściowym READY=1.
- W ramach projektowanego układu wykonawczego korzystać z jednego komparatora 8 bitowego.
- Określić znaczenie sygnałów wejściowych i wyjściowych układu wykonawczego i układu sterowania.
- Poprawne wartości na wyjściach rejestrów pamiętających wynik/i mają być dostępne wraz z sygnałem zakończenia przetwarzania READY.
- Określić diagram algorytmicznego układu sekwencyjnego sterującego układem wykonawczym, wyznaczyć stany automatu i wartości domyślnie sygnałów sterujących oraz w każdym stanie wartości specyficzne różne od domyślnych wartości sygnałów sterujących. Uwaga diagram ASM bazuje na algorytmie i układzie wykonawczym, **nie zawiera** wprost informacji o realizowanych działaniach, lecz stany odpowiadające generowanemu sterowaniu i bloki decyzyjne (w tych stanach) testujące sygnały stanu przetwarzania (sygnały wyjściowe z układu wykonawczego).

2. **Określić strukturę** (schemat) automatu mikroprogramowalnego umożliwiającego wykonanie 3 typów rozkazów (każdy z określonym wektorem sygnałów sterujących):

- przejścia bezwarunkowego oraz
- rozkazów obsługi wywołania procedury:
  - warunkowy skok do pierwszego adresu procedury i
  - warunkowy powrót z programu procedury.

W szczególności proszę:

- wyjaśnić niezbędną liczbę wejść multipleksera adresowego,
- określić sygnały wejściowe i wyjściowe układu dekodowania typu rozkazu ,
- zawartość pól rozkazów.
- opisać słownie sposób wykonania rozkazu każdego typu.

Proszę ograniczyć strukturę automatu mikroprogramowanego tylko do niezbędnych elementów.

Na podstawie schematu po założeniu sposobu kodowania typu rozkazu określić tablicę funkcji realizowanej przez układ dekodowania adresu.

3. Zaprojektować **część wykonawczą (ścieżkę danych)** i **koncepcję układu sterowania** (diagram ASM) dla układu wyznaczenia wartości maksymalnej (dodatniej – moduł) z różnic wszystkich par spośród N liczb 8 bitowych podanych podczas startu układu na równoległe na wejście (układ wykonawczy dla wg koncepcji ogólnej dla N liczb **proszę zaprezentować dla 4 liczb**). W szczególności należy:

- Opisać słownie realizowany algorytm przetwarzania.
- Układ wykonawczy:
  - nazwać poszczególne elementy składowe układu i określić znaczenie wszystkich niezbędnych do poprawnej pracy wewnętrznych sygnałów informacyjnych i sterujących.
  - Rozpocząć i kontynuować pracę po pojawieniu się sygnału wejściowego START=1 do momentu sygnalizowania zakończenia pracy i gotowości wyniku sygnałem wyjściowym READY=1.
  - W ramach projektowanego układu wykonawczego korzystać z jednego komparatora 8 bitowego.
- Określić znaczenie sygnałów wejściowych i wyjściowych układu wykonawczego i układu sterowania.
- Poprawne wartości na wyjściach rejestrów pamiętających wynik/i mają być dostępne wraz z sygnałem zakończenia przetwarzania READY.
- Określić diagram algorytmicznego układu sekwencyjnego sterującego układem wykonawczym, wyznaczyć stany automatu i wartości domyślnie sygnałów sterujących oraz w każdym stanie wartości specyficzne różne od domyślnych wartości sygnałów sterujących. Uwaga diagram ASM bazuje na algorytmie i układzie wykonawczym, **nie zawiera** wprost informacji o realizowanych działaniach, lecz stany odpowiadające generowanemu sterowaniu i bloki decyzyjne (w tych stanach) testujące sygnały stanu przetwarzania (sygnały wyjściowe z układu wykonawczego).

4. **Określić strukturę** (schemat) automatu mikroprogramowalnego umożliwiającego wykonanie 3 typów rozkazów (każdy z określonym wektorem sygnałów sterujących):

- przejścia warunkowego oraz
- rozkazów obsługi pętli:
  - Zapamiętanie początku pętli i
  - Warunkowy powrót na początek pętli.

W szczególności proszę:

- wyjaśnić niezbędną liczbę wejść multipleksera adresowego,
- określić sygnały wejściowe i wyjściowe układu dekodowania typu rozkazu ,
- zawartość pól rozkazów.
- opisać słownie sposób wykonania rozkazu każdego typu.

Proszę ograniczyć strukturę automatu mikroprogramowanego tylko do niezbędnych elementów.

Na podstawie schematu po założeniu kodowania typu rozkazu określić tablicę funkcji realizowanej przez układ dekodowania adresu.

5. **Zaprojektować** (na poziomie przesłań międzyrejestrowych) **część wykonawczą (ścieżkę danych)** dla układu cyfrowego wyznaczenia „czy liczba podana na wejściu układu jest liczbą pierwszą?”. W szczególności należy:

- Opisać słownie realizowany algorytm przetwarzania.
- W układzie wykonawczym należy **nazwać** poszczególne elementy składowe układu i określić znaczenie wszystkich niezbędnych do poprawnej pracy wewnętrznych sygnałów informacyjnych i sterujących. Określić znaczenie sygnałów wejściowych i wyjściowych układu wykonawczego.
- Określić warunki zakończenia przetwarzania i sposób określenia wyniku przetwarzania.

6. **Zaprojektować** (na poziomie przesłań międzyrejestrowych) **część wykonawczą (ścieżkę danych)** dla układu cyfrowego na którego wejście podawana jest liczba A. Układ ma wyznaczyć czy liczba jedynek występująca w zapisie binarnym liczby A jest podzielna przez 3. W szczególności należy:

- Opisać słownie realizowany algorytm przetwarzania.
- W układzie wykonawczym należy **nazwać** poszczególne elementy składowe układu i określić znaczenie wszystkich niezbędnych do poprawnej pracy wewnętrznych sygnałów informacyjnych i sterujących. Określić znaczenie sygnałów wejściowych i wyjściowych układu wykonawczego. Określić warunki zakończenia przetwarzania i sposób określenia wyniku przetwarzania.

7. **Zaprojektować część wykonawczą** dla układu cyfrowego (na poziomie przesłań międzyrejestrowych, rejestry, liczniki, komparatory, multipleksery, sumatory – jeśli potrzebne) na którego wejście podawane są 2 liczby A i B w zapisie binarnym. Układ ma odpowiedzieć TAK Wyjście=1 lub NIE Wyjście=0 na pytanie CZY LICZBA JEDYNEK W ZAPISIE LICZB A i B różni się o więcej niż K. W szczególności należy:

- Opisać słownie realizowany algorytm przetwarzania.  
W układzie wykonawczym należy **nazwać** poszczególne elementy składowe układu i określić znaczenie wszystkich sygnałów informacyjnych i sterujących.

8. **Zaprojektować** (na poziomie przesłań między rejestrowych) **część wykonawczą (czyli ścieżkę danych)** dla układu cyfrowego. Zadania układu:

- W chwili startowej START=1 na wejściu automatu podane są dwie wartości: adres początkowy A pamięci i rozmiar obszaru R (równy liczbie słów), która ma zostać przeszukana (R jest potęgą 2 i jest  $\leq 64$ ).
- Z odczytanych w podanym zakresie pamięci liczb parzystych (dodatnich lub ujemnych (U2)) należy wyznaczyć średnią, której wartość ułamkowa jest pominięta.
- Proszę określić moment zakończenia przetwarzania i miejsce, gdzie dostępny będzie wynik.
- Pojawienie się sygnału START=1 powoduje ponowne uruchomienie przetwarzania.

W szczególności należy:

- Opisać słownie realizowany **w zaprojektowanym sprzęcie** algorytm przetwarzania.  
W układzie wykonawczym należy **nazwać** poszczególne elementy składowe i **określić znaczenie** wszystkich niezbędnych do poprawnej pracy sygnałów informacyjnych i sterujących.

9. **Zaprojektować** (na poziomie przesłań międzyrejestrowych) **część wykonawczą (czyli ścieżkę danych)** dla układu cyfrowego poszukującego w pamięci adresu pod którym zapisana jest na 8 bitach wartość maksymalna. Dane wejściowe układu to wielkość pamięci która ma być przeszukana podana w liczbie bitów maksymalnego adresu. Dane wyjściowe to adres pod którym znajduje się maksymalna wartość. W szczególności należy opisać słownie realizowany algorytm przetwarzania. W układzie wykonawczym należy **nazwać** poszczególne elementy składowe układu i określić znaczenie wszystkich niezbędnych do poprawnej pracy sygnałów informacyjnych i sterujących.

## CZ9 VHDL i układy programowalne

1. Czy projektowany układ jest układem sekwencyjnym czy kombinacyjnym? W jaki sposób zmienia się stan wyjść w odpowiedzi na zmiany w stanie wejść – tablica przejść/ prawdy? Jaka jest typowa nazwa tego standardowego układu?

```
library IEEE;
use ieee.std_logic_1164.all;
entity cotorobi is
    port
        ( A,B,C,D: in std_logic;
          E,F    : out std_logic );
end cotorobi;
architecture prosta of cotorobi is
begin
    process (A,B,C,D)
    constant low:std_logic:='0';
    constant high:std_logic:='1';
        begin
            if A=low then
                E<=low; F<= high;
            else if (A=high) and (B low) then
                F<=low; E<= high;
            else if D =high then
                E<=C; F<= not C;
            end if;
        end if;
    end process;
end prosta;
```

2. Jak struktura układu cyfrowego (sposób połączenia i elementy) jest efektem interpretacji poniższego kodu ?  
Architecture EX1 of BB is

```
signal c,b,c,d,e,f,g : std_logic;
process (clk);
begin
if clk'event and clk ='1' then
    a<=b;
    a<=c;
    c<=d;
    d<=e or f;
g<=d;
end if;
end process;
```

```
architecture EX2 of CC is
signal a1,b1,c1,d1,e1 : std_logic;
begin
    a1<=b1;
    a1<=c1 and d1;
    i1<=j1 or k1;
h1<=i1;
end;
```

3. Proszę narysować strukturę kombinacyjnego układu PAL z 4 wyprowadzeniami, z których 2 są wejściami, a 2 mogą być dowolnie: wyjściem lub wejściem w zależności od sposobu zaprogramowania bramki AND (związanej z każdym wyprowadzeniem tego typu), która steruje buforem trójstanowym. Wszystkich bramek AND w układzie jest 8.

4. Jaka jest podstawowa różnica w budowie strukturalnej PAL i PLA ? Na czym polega programowanie układu PAL, na czym polega programowanie układu PLA. W którym z układów PAL czy PLA można skorzystać z pozytywnych efektów optymalizacji łącznej wielu funkcji logicznych?

5. Proszę narysować strukturę kombinacyjnego układu PAL z 4 wyprowadzeniami, z których 2 są wejściami, a 2 mogą być dowolnie: wyjściem lub wejściem w zależności od sposobu zaprogramowania bramki AND (związanej z każdym wyprowadzeniem tego typu), która steruje buforem trójstanowym. Wszystkich bramek AND w układzie jest 8.

6. Jaka jest podstawowa różnica w budowie strukturalnej PAL i PLA ? Na czym polega programowanie układu PAL, na czym polega programowanie układu PLA. W którym z układów PAL czy PLA można skorzystać z pozytywnych efektów optymalizacji łącznej wielu funkcji logicznych?



## CZ 10. Zadania teoretyczne (nie wymagają rozwiązywania)

1. Proszę porównać sumatory:

- szeregowy i

- równoległy: z przeniesieniem szeregowym i z przeniesieniem równoległym.

Bez konieczności rysowania schematu porównać zasady działania, omówić wady i zalety, zakres przetwarzanych liczb, prędkość przetwarzania, porównać strukturę - elementy wykorzystywane w ich budowie.

2. Zaprojektować rejestr z wejściem równoległym, wyjściem równoległym, możliwością pamiętania, wpisu równoległego, przesunięcia w prawo i przesunięcia w lewo.

3. Porównaj pamięci:

a) SRAM i RAM pod względem:

- sposobu przechowywania informacji (budowa komórki jednego bitu pamięci),
- wyprowadzeń i znaczenia sygnałów sterujących,
- momentów dostępności danych odczytywanych względem sygnałów sterujących,
- momentów zapisu danych względem sygnałów sterujących.

b) RAM i pamięć podręczną (CAM) pod względem struktury logicznej pamiętanych informacji,

4. Proszę podać tablicę prawdy sumatora jednobitowego pełnego.

5. Proszę zaprojektować układ sumatora równoległego z przeniesieniem szeregowym dla dodawania liczb 4 bitowych. Skorzystać z sumatorów jednobitowych pełnych. Czy różni się zaprojektowany układ od sumatora z przeniesieniami równoległymi (różnice w budowie, czasie działania – plusy i minusy powyższych rozwiązań)?

6. Proszę podać podstawowe równania wykorzystywane w sumatorze równoległym z propagowanym przeniesieniem – dla wyznaczenia kolejnego przeniesienia.

7. Komparator równoległy – układ kombinacyjny – proszę zaprezentować koncepcję budowy (na poziomie bramek logicznych) komparatora 3 bitowego o wyjściach  $A=B$ ,  $A>B$  i  $A<B$  (warto skorzystać z zależności  $A<B = (A=B \text{ OR } A>B)'$  )

8. Proszę przedstawić schemat sumatora szeregowego akumulacyjnego dodającego liczby 7 bitowe  $A$  i  $B$ . Sumator składa się z jednego rejestru dla liczby  $A$  i drugiego rejestru wspólnego dla liczby  $B$  i wyniku.

9. Proszę wybrać nazwą najbardziej odpowiednią do prezentowanego układu: PLD, PAL, PLA, CPLD, FPGA, Altera, Quartus oraz zapisać realizowane przez układ funkcje:

