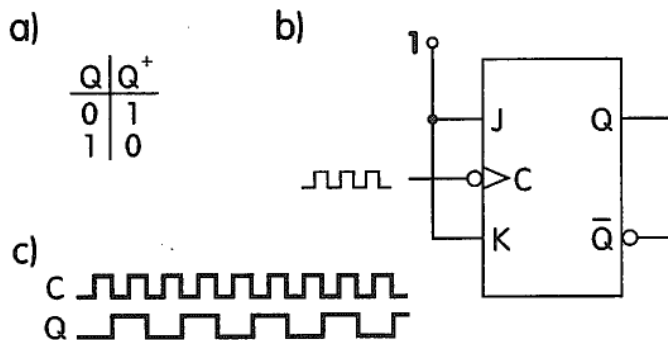


## Temat: Liczniki asynchroniczne

1. Dwójka licząca z przerzutnika JK – zbudowana jest z przerzutnika synchronicznego, przy czym przebieg impulsów zliczających jest jednocześnie sygnałem zegarowym przerzutnika.

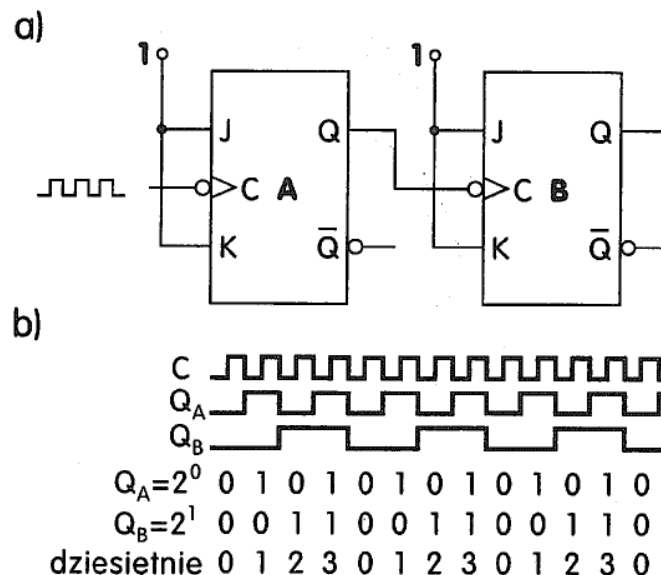


**Rys.**  
a) tablica przejść licznika modulo 2;  
b) schemat logiczny dwójki liczącej zbudowanej z przerzutnika JK; c) przebiegi czasowe na wejściu i na wyjściu układu (przy założeniu, że zboczem aktywnym jest zbocze ujemne).

Przerzutnik JK będzie się zachowywał jak dwójka licząca wówczas gdy na jego oba wejścia ustawimy stan wysoki H.

Zauważmy, że częstotliwość przebiegu wyjściowego jest dwukrotnie mniejsza niż częstotliwość wejściowa. Licznik mod 2 jest więc także dzielnikiem częstotliwości przez dwa. Uogólniając: **Licznik mod  $n$  jest dzielnikiem częstotliwości przez  $n$ .**

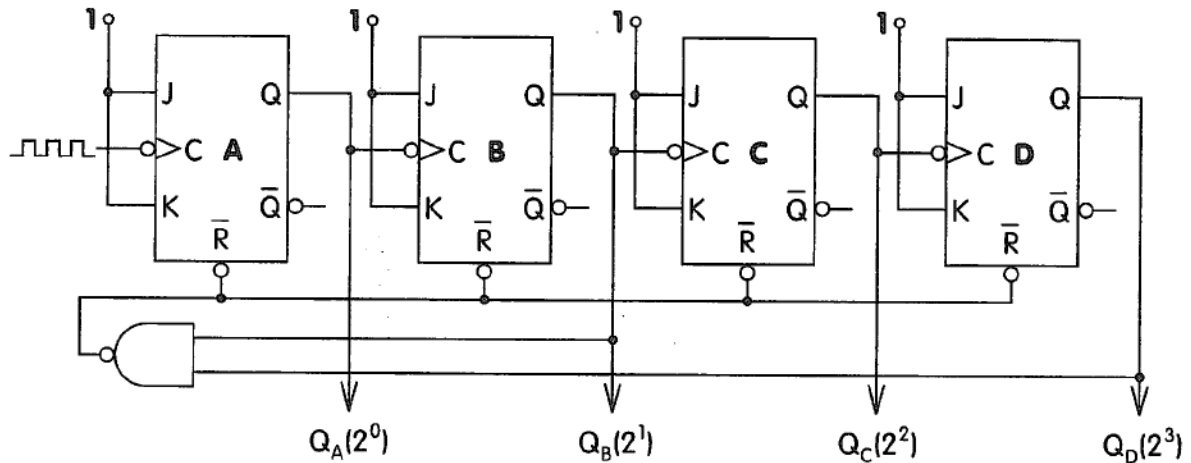
## 2. Licznik modulo 4



**Rys.** Licznik modulo 4 (a) oraz przebiegi czasowe (b)

### 3. Licznik modulo 10 zbudowany z licznika modulo 16

Licznik mod 16 ze stanu  $Q_D Q_C Q_B Q_A = 1001$  (dziesiętnie 9) przechodzi do stanu  $Q_D Q_C Q_B Q_A = 1010$  (dziesiętnie 10). Licznik dziesiętny powinien zaś ze stanu  $Q_D Q_C Q_B Q_A = 1001$  przejść do stanu  $Q_D Q_C Q_B Q_A = 0000$ . W układzie jak na rys. 7.18, jeżeli na wyjściach  $Q_D$  i  $Q_B$  pojawią się jedynki, to spowodują, że na wyjściu bramki NAND pojawi się poziom niski 0. Sygnał ten wyzeruje natych-



Rys. Licznik modulo 10 (dekada) zbudowany z licznika modulo 16

miast (z opóźnieniem wynikającym z czasu propagacji przerzutnika) wszystkie przerzutniki, ustawiając tym samym licznik w stan  $Q_D Q_C Q_B Q_A = 0000$ . W efekcie na wyjściu bramki NAND ponownie zostanie ustawiony stan 1, a kolejny impuls zerujący wystąpi po następnych dziesięciu impulsach. W taki sposób można uzyskać dowolny licznik mod  $k$  (dzielnik częstotliwości przez  $k$ ) z licznika mod  $n$  (dla  $k < n$ ).